

# **Entwicklung und Untersuchung von Photo- detektoren in einer Dünnsfilm-SOI-Technologie**

Von der Fakultät für Ingenieurwissenschaften der  
Abteilung Elektrotechnik und Informationstechnik  
der Universität Duisburg-Essen

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaft

genehmigte Dissertation

von

Andrei Schmidt

aus

Akacia, Russland

1. Gutachter: Prof. Dr.-Ing. Holger Vogt

2. Gutachter: Prof. Dr.-Ing. Andreas Stöhr

Tag der mündlichen Prüfung: 04. November 2016



## Inhaltsverzeichnis

|  |            |
|--|------------|
| <b>Kurzfassung.....</b>  | <b>v</b>   |
| <b>Abstract.....</b>   | <b>vii</b> |
| <b>1 Einleitung .....</b>  | <b>1</b>   |
| <b>2 Stand der Technik.....</b>                                      | <b>5</b>   |
| 2.1 Photodetektoren in der SOI CMOS-Technologie .....                | 5          |
| 2.2 Einzelphoton-Detektoren für ultraviolette Strahlung .....        | 8          |
| <b>3 Photodetektoren in SOI-CMOS.....</b>                            | <b>11</b>  |
| 3.1 Theoretische Grundlagen .....                                    | 13         |
| 3.1.1 Detektion von elektromagnetischer Strahlung im Halbleiter..... | 13         |
| 3.1.2 Kenngrößen von Photodioden.....                                | 18         |
| 3.1.3 Silicon-On-Insulator Photodioden.....                          | 23         |
| 3.1.4 pin-Diode im SOI und der Back-Gate-Einfluss.....               | 26         |
| 3.1.5 Modell des pin-Dioden-Dunkelstroms im SOI .....                | 31         |
| 3.2 Methoden zur Photodioden-Charakterisierung.....                  | 43         |
| 3.2.1 Elektrische Charakterisierung.....                             | 43         |
| 3.2.2 Messung und Simulation der Quanten-Effizienz .....             | 44         |
| 3.3 Mess- und Simulationsergebnisse.....                             | 50         |
| 3.3.1 Elektrische Charakterisierung.....                             | 50         |
| 3.3.2 Optische Charakterisierung.....                                | 66         |
| 3.4 Zusammenfassung.....   | 78         |
| <b>4 Einzelphoton-Detektor für ultraviolette Strahlung.....</b>      | <b>83</b>  |
| 4.1 Theoretische Grundlagen .....                                    | 85         |
| 4.1.1 Durchbruchverhalten .....                                      | 86         |
| 4.1.2 Geiger-Modus .....   | 92         |
| 4.1.3 Kenngrößen von SPADs .....                                     | 97         |
| 4.1.4 Hot-Carrier-Effekt.....  | 102        |
| 4.2 Methoden zur SPAD-Charakterisierung.....                         | 103        |
| 4.2.1 Charakterisierung des Durchbruchs im SOI.....                  | 103        |
| 4.2.2 Dunkelzählrate und Photon-Detektionseffizienz .....            | 110        |
| 4.2.3 Hot-Carrier-Stress .....                                       | 114        |

|                                   |  |              |
|-----------------------------------|--|--------------|
| 4.3                               | Ergebnisse .....                         | 115          |
| 4.3.1                             | Durchbruchverhalten .....                | 115          |
| 4.3.2                             | Einbau von Traps .....                   | 122          |
| 4.3.3                             | Geiger-Modus .....                       | 131          |
| 4.3.4                             | Dunkelzählrate .....                     | 140          |
| 4.3.5                             | Photon-Detektionseffizienz .....         | 143          |
| 4.4                               | Zusammenfassung .....                    | 152          |
| 5                                 | <b>Zusammenfassung und Ausblick.....</b> | <b>155</b>   |
| <b>Anhang A .....</b>             |  | <b>ix</b>    |
| <b>Abkürzungsverzeichnis.....</b> |  | <b>xiii</b>  |
| <b>Formelzeichen.....</b>         |  | <b>xv</b>    |
| <b>Literaturverzeichnis.....</b>  |  | <b>xxv</b>   |
| <b>Danksagung.....</b>            |  | <b>xxxvi</b> |



# Kurzfassung

In der vorliegenden Arbeit wird die Eignung einer Dünnschicht-SOI CMOS-Technologie zur Detektion von elektromagnetischer Strahlung untersucht. Die Detektion von Strahlung in dieser Technologie wird durch drei technologiespezifische Aspekte geprägt. Diese sind die relativ dünne Siliziumschicht, der dadurch erzwingende laterale Aufbau von Photodetektoren und die elektrische Steuerung der Photodetektoren durch das sogenannte Back-Gate. Da bisher keine Erkenntnisse über die Eignung einer Dünnschicht-SOI-Technologie zur Anwendung im Bereich Einzelphoton-Detektor vorliegen, wird dieser Aspekt zusätzlich untersucht.

Das elektrische und optische Verhalten von pin-Photodioden wird betrachtet. Beim elektrischen Verhalten sind der Dunkelstrom und das Durchbruchverhalten wichtige Parameter. Der Dunkelstrom wird in Abhängigkeit der Dotierung, der Geometrie und der Temperatur der pin-Photodiode untersucht. Zum Verständnis der Entstehung des Dunkelstroms wird ein Modell zu dessen Beschreibung entwickelt. Das Durchbruchverhalten wird mit Hilfe von elektrischen Messungen und numerischen Simulationen untersucht. Dabei wird besonders der Einfluss des Back-Gates betrachtet. Schließlich wird die pin-Photodiode als Einzelphoton-Detektor betrieben und charakterisiert.

Aufgrund der geringen Dicke des Siliziums und der Absorption der Siliziumnitrid-Passivierung ist die Wellenlänge der elektromagnetischen Strahlung, die detektiert werden kann, auf den ultravioletten Spektralbereich beschränkt.

Der Dunkelstrom der pin-Photodiode ist, verglichen mit Dioden der Standard CMOS-Technologie, geringer, insbesondere wenn die Temperatur des Bauelements erhöht wird. Der dominante Beitrag zum Dunkelstrom der pin-Photodiode ist die thermische Generation an den Grenzflächen zwischen Silizium und Siliziumdioxid. Sowohl die Generation als auch die Temperaturabhängigkeit werden gut durch das entwickelte Modell beschrieben.

Beim Betrieb der pin-Photodiode als Einzelphoton-Detektor kommt es zum Walk-Out-Effekt. Dieser Effekt verursacht ein instabiles Verhalten, welches durch Generation von elektrisch aktiven Ladungen an den Grenzflächen zwischen Silizium und Siliziumdioxid entsteht. Die Generation der Ladungen wird durch das elektrische

Feld bestimmt, welches von den Potentialen an den Elektroden der pin-Photodiode abhängt.

Aufgrund des Walk-Out-Effekts können die Parameter eines Einzelphoton-Detektors, die Dunkelzählrate und die Photon-Detektionseffizienz, nur mit einer großen Unsicherheit bestimmt werden. Zur weiteren Untersuchung dieser Parameter wird ein bestehendes Modell für die Anwendung in der SOI CMOS-Technologie weiterentwickelt. Dadurch wird die theoretisch erreichbare Photon-Detektionseffizienz bestimmt und ein Weg aufgezeigt, wie diese erhöht werden kann.

Diese Untersuchungsergebnisse zeigen, wie die pin-Photodiode optimiert werden kann. Der Dunkelstrom kann reduziert werden, wenn die Generation an den Grenzflächen zwischen Silizium und Siliziumdioxid reduziert wird. Darüber hinaus kann das Modell zur Beschreibung des Dunkelstroms erweitert und verbessert werden. Für den Betrieb als Einzelphoton-Detektor muss der Walk-Out-Effekt gemindert oder vollständig unterdrückt werden.

# Abstract

The topic of this thesis is the investigation of a thin-film SOI CMOS technology with respect to the detection of electromagnetic radiation. Three technology specific aspects influence the detection of radiation. They are the relatively thin silicon layer, the lateral orientation of photodetectors resulting from this small layer thickness and the so called back-gate which allows an additional electrical control of the photodetector. Furthermore the possibility to use thin-film SOI photodetectors as single-photon detectors will be investigated to extend the usability of this technology.

The electrical and optical performance of pin-photodiodes is investigated in this work. Dark current and the breakdown behavior are the most important parameters concerning the electrical performance. The dependence of the dark current with respect to doping concentration, geometry, and temperature is considered. An analytical model is developed in order to investigate the origin of the dark current. Electrical measurements and numerical simulations, especially considering the influence of the back-gate potential, are used to investigate the breakdown of the pin-photodiodes. Finally these diodes are operated as single-photon detectors and characterized.

A small silicon thickness and the silicon-nitride passivation are the limiting factors with respect to the detectable wavelength of the electromagnetic radiation. An effective detection is only possible for ultraviolet radiation.

The dark current of the pin-photodiode is smaller compared to bulk CMOS diodes. This is particularly true if the device temperature is increased above room temperature. The major contribution to the dark current is the generation current at the silicon to silicon dioxide interface. Both, the magnitude of the current and the temperature dependence, are well described by the model which is developed for the pin-photodiode.

The walk-out-effect sets in when the pin-photodiode is in operation as single photon-detector. This effects result in an unstable breakdown voltage due to generation of electrically active interface states at the interface silicon to silicon dioxide. The electric field is the driving force for the interface state creation.

The walk-out-effect hinders a reliable characterization of the dark count rate and the photon detection efficiency. Therefore a model based on bulk CMOS diodes is extended in order to be used for SOI pin-photodiodes in operation as single-photon detectors and investigate the photon detection efficiency theoretically. This model is used to enhance the pin-photodiode photon detection efficiency.

The results of this work reveal the possibilities to improve the SOI pin-photodiode. The dark current can be reduced by improvement of the silicon-silicon dioxide interfaces. Further the dark current model may be extended and optimized. To allow for the use of pin-photodiodes as single-photon detector the walk-out-effect has to be reduced or completely suppressed.

# 1 Einleitung

Das Moore'sche Gesetz beschrieb in einer treffenden Weise die technische Entwicklung der Mikroelektronik seit dessen Formulierung im Jahr 1965 [1]. Dieses Gesetz stößt zunehmend an seine Grenzen, da eine weitere Verkleinerung von Silizium-Bauelementen gleichbedeutend ist in die Größenordnung von Atomen vorzustoßen [2]. Eine natürliche Grenze ist also erreicht.

Das Ende dieser Entwicklung bildet gleichzeitig einen Anfang für einen neuen treibenden Motor, der unter dem Slogan *More-Than-Moore* bekannt ist [3]. Diese Entwicklung entfernt sich von der reinen Miniaturisierung von Bauelementen hin zu einer Vergrößerung von Anwendungsmöglichkeiten für bestehende Technologien. Dabei werden die Anwendungsfelder erweitert, indem einzelne Aspekte kombiniert werden. Solche Kombinationen erlauben den Einsatz in neuen Anwendungsfeldern, so dass die Mikroelektronik in allen Bereichen des alltäglichen Lebens eingesetzt werden kann.

Die SOI (*silicon on insulator*) CMOS (*complementary metal-oxide-semiconductor*)-Technologie ist ein Element bei der Entstehung von neuen Technologieplattformen. Aufgrund einer besonderen Form des Substrats können Bauele-

mente in dieser Technologie entwickelt werden, die denen der Standard CMOS-Technologie, in einigen speziellen Anwendungsfeldern überlegen sind. Eine solche Technologie ist am Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme, für die Anwendung bei hohen Temperaturen jenseits der für CMOS üblichen 125 °C, entwickelt worden [4]. Entsprechend dem *More-Than-Moore*-Konzept soll diese Technologie erweitert werden, um eine vielseitigere Anwendung zu erlauben. Ein weiteres mögliches Anwendungsfeld ist die Detektion von elektromagnetischer Strahlung mit Hilfe spezieller Bauelemente, den Photodetektoren.

Als Photodetektor können unterschiedliche Bauelemente wie zum Beispiel der Transistor, ein Widerstand oder eine Diode eingesetzt werden. Dioden sind die dominanten Bauelemente, wenn es um die Detektion von Strahlung geht, und bieten einige spezielle Bauformen, wie die pin-Diode, um Strahlung effizienter detektieren zu können. Die erste Fragestellung der vorliegenden Arbeit ist nach der Realisierbarkeit von Photodioden in dieser SOI CMOS-Technologie.

Die hier verwendete SOI CMOS-Technologie besitzt eine nur sehr geringe Dicke des Siliziums von weniger als 150 nm, in der Bauelemente realisiert werden können. Aus diesem Grund können Photodioden nicht effizient als Detektor für eine beliebige Wellenlänge der elektromagnetischen Strahlung eingesetzt werden. Ganz im Gegenteil eignet sich diese Technologie insbesondere für Strahlung deren Wellenlänge kleiner ist als etwa 400 nm, also für das ultraviolette Spektrum.

Photodioden können so betrieben werden, dass das durch Absorption von Strahlung generierte Signal verstärkt wird. Dieser Verstärkung liegt der Lawineneffekt zugrunde. Mit zunehmender Sperrspannung einer Diode wird die Verstärkung immer größer und kann im Idealfall unendlich groß werden. Der reale Betriebszustand, der diesem Idealfall am nächsten kommt ist der sogenannte Geiger-Modus. Dabei werden Photodioden dynamisch über dem Durchbruch betrieben. Dadurch kann ein einziges absorbiertes Photon zu einem makroskopischen Stromfluss führen und somit detektiert werden. Eine solche Diode wird deshalb als Einzelphoton-Detektor (*single photon avalanche diode*, SPAD) bezeichnet. In der CMOS-Technologie werden SPADs seit 2003 eingesetzt nach einer Vorarbeit von Alexis Rochas [5]. In der vorliegenden SOI CMOS-Technologie und in vergleichbaren Technologien wurden SPADs bisher weder untersucht noch eingesetzt. Es ist deshalb unbekannt, was für eine Leistungsfähigkeit eines solchen Bauelements zu erwarten ist. Deshalb ist die zweite Fragestellung, die die Durchführung der vorliegenden Arbeit motiviert, ob

SPADs in der SOI CMOS-Technologie realisiert werden können und was für Eigenschaften diese SPADs besitzen.

In der vorliegenden Arbeit wird in jedem Kapitel ein eigenständiges Themengebiet behandelt, wobei alle Kapitel über das Thema dieser Arbeit, die *Untersuchung von Photodetektoren in einer Dünnschicht-SOI-Technologie*, verknüpft sind. Es findet sich in jedem Kapitel eine Gliederung, die dem Konzept *Theorie-Methoden-Ergebnisse-Diskussion* folgt.

**Kapitel 2** stellt den Stand der Technik zu den zwei oben beschriebenen Themenfeldern dar. Diese Themenfelder sind Photodetektoren in der SOI CMOS-Technologie und Einzelphoton-Detektoren für ultraviolette Strahlung.

In **Kapitel 3** werden pin-Photodioden der in dieser Arbeit genutzten SOI CMOS-Technologie untersucht. Dabei werden das elektrische und das optische Verhalten sowohl messtechnisch als auch mit Hilfe von Simulationen betrachtet.

**Kapitel 4** stellt dar wie die in Kapitel 3 beschriebene pin-Diode im Geiger-Modus, also als SPAD, eingesetzt werden kann. Es wird das Durchbruchverhalten, speziell in Bezug auf die spezifischen Eigenheiten der SOI-Technologie, untersucht und die Diode schließlich als SPAD eingesetzt und charakterisiert. Das Verhalten der SPAD wird zusätzlich durch die Erweiterung eines bestehenden Modells beschrieben.

In **Kapitel 5** werden die wichtigsten Erkenntnisse dieser Arbeit zusammengefasst und ein Ausblick auf mögliche weitere Untersuchungen gegeben.





## 2 Stand der Technik

Der in dieser Arbeit durchgeführten Untersuchung liegen zwei Themengebiete zu Grunde

- Photodetektoren in der SOI CMOS-Technnologie,
- Einzelphoton-Detektoren für ultraviolette Strahlung.

Für diese zwei Themengebiete wird im Folgenden der Stand der Technik dargestellt.

### 2.1 Photodetektoren in der SOI CMOS-Technologie

Detektoren für ultraviolette (UV) Strahlung können in unterschiedliche Kategorien unterteilt werden. Eine Übersicht der Kategorien ist in Abb. 2.1 dargestellt.

Photoelektrische Detektoren sind den photographischen überlegen, weil diese empfindlicher und schneller sind und eine bessere Linearität aufweisen [6].

Unter den photoelektrischen Detektoren sind die Halbleiter-basierten Detektoren im Vergleich zu photoemittierenden (zum Beispiel Photokathode) stabiler, kompakter, leichter und weisen eine bessere Linearität auf [6]. Zudem sind diese in einem breiten Spektrum empfindlich, haben eine hohe Quanteneffizienz und eine große dynamische Bandbreite [7]. Die Nachteile der Halbleiter-Detektoren sind die geringere Empfindlichkeit und Alterungseffekte [7]. Weiterhin können sie im Fall des Siliziums (Si), aufgrund des breiten Spektrums der Empfindlichkeit, ungewünschte sichtbare Strahlung nicht unterdrücken (*solar blindness*) [7].

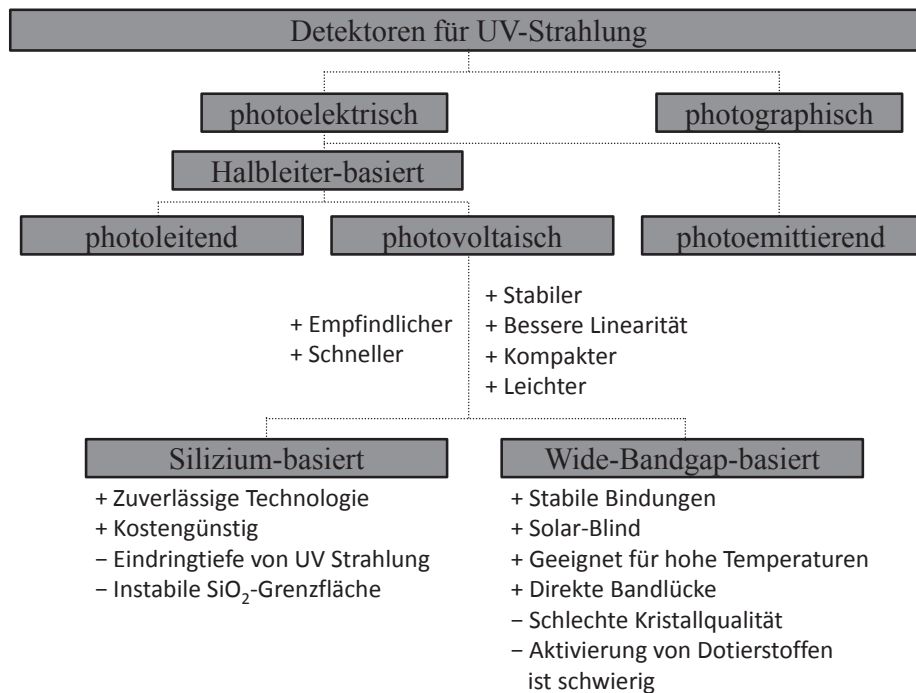


Abb. 2.1: Unterteilung von Detektoren für ultraviolette Strahlung sowie deren Vor- und Nachteile nach [6] [7].

Photovoltaische Detektoren sind empfindlicher und schneller als photoleitende [6]. Deshalb werden sie vergleichsweise häufig eingesetzt und sind auch am besten untersucht.

Halbleiter-Detektoren mit einer großen Bandlücke (*Wide-Bandgap*) haben gegenüber Silizium Vorteile wie eine direkte Bandlücke und stabilere Bindungen der Atome im Kristallgitter [6]. Die große Bandlücke bewirkt einerseits die Unempfindlichkeit gegenüber sichtbarem Licht und andererseits die Möglichkeit die Sensoren bei hohen Temperaturen einzusetzen [8]. Der entscheidende Nachteil jedoch ist die schlechte Kristallqualität dieser Materialien und die Schwierigkeit, geeignete Dotierstoffe zu finden [6]. Nichtsdestotrotz ist eine stetige Weiterentwicklung in diesem Bereich in Gange [8].

Trotz einiger Nachteile ist die Reife der Silizium-Technologie und der Kostenfaktor der Grund für die Dominanz der Silizium-Detektoren für ultraviolette Strahlung [6].

Photodetektoren für ultraviolette Strahlung finden eine Vielzahl von Anwendungen, wie zum Beispiel bei bildgebenden Verfahren in der Medizin (Wellenlänge 280 nm bis 400 nm), optische Kommunikation (280 nm bis 400 nm), DNA-Analyse (240 nm bis 300 nm), forensische Analysen (250 nm bis 300 nm), Desinfektion (240 nm bis 280 nm), Weltraumbeobachtung (10 nm bis 200 nm) und Gasdetektion [9] [10].

Aufgrund der Eindringtiefe von wenigen Nanometern der ultravioletten elektromagnetischen Strahlung ins Silizium [11] ist die Dünnschicht-SOI Technologie ein idealer Kandidat für einen Photodetektor in diesem (ultravioletten) Spektralbereich. Die geringe Schichtdicke ist ausreichend, um die Strahlung vollständig zu detektieren [12] und gleichzeitig ist das Generationsvolumen von Dunkelstrom gering [10].

Dünnschicht-SOI pin-Dioden wurden in der vergangenen Dekade intensiv untersucht. In diesen Arbeiten war die Quanteneffizienz mit Berücksichtigung des vergrabenen Siliziumdioxids ( $\text{SiO}_2$ ) der SOI-Technologie [12] bzw. der Grenzfläche an der Unterseite des Silizium-Films [13], die Temperatur- [10] [14] und Schichtdickenabhängigkeit der Lichtdetektion [9] [15], Modellierung der Geschwindigkeit [16] [17] und des Dunkelstrom in Abhängigkeit der Länge des intrinsischen Gebiets [18] Gegenstand der Untersuchung.

Die Quanteneffizienz ist der wichtigste Parameter der Photodiode, da diese angibt wie effektiv Strahlung in ein elektrisches Signal umgewandelt wird. In den Arbeiten [13] [19] [20] [21] wurden pin-Dioden in Sensoren für Anwendungen im UV untersucht. Die dabei gemessenen Quanteneffizienzen bei den Wellenlängen 250 nm, 300 nm, 350 nm und 400 nm sind in Tab. 2.1 verglichen. Die Werte aus

Tab. 2.1: Externe Quanteneffizienz (in Prozent) von Dünnschicht-SOI pin-Dioden aus der Literatur.

| Wellenlänge / nm | 250 | 300 | 350 | 400 |
|------------------|-----|-----|-----|-----|
| [21]             | < 7 | 21  | 20  | 5   |
| [13]             | 20  | 37  | 71  | 62  |
| [20]             | 15  | 33  | 21  | 19  |
| [19]             | 15  | 12  | 21  | 12  |
| [10]             | -   | -   | -   | 60  |

[13] sind dabei per Simulation optimiert und deutlich höher.

Die Untersuchung der Abhängigkeit der Photodioden-Parameter von der Spannung am Back-Gate wurde erst in den letzten Jahren durchgeführt [10] [14] [15]. In diesen Arbeiten wurde die Quanteneffizienz nur bei einer einzigen Wellenlänge von 397 nm untersucht und beträgt zwischen 33 % bzw. 56 % bei einer Temperatur von 300 K bzw. 500 K [14] und zwischen etwa 60 % bzw. 80 % bei 300 K bzw. 500 K [10]. Eine wellenlängenabhängige Untersuchung wurde in [15] durchgeführt. Allerdings wurde dabei neben der Wellenlänge von 397 nm lediglich 459 nm und 465 nm betrachtet und eine Betrachtung von kurzwelligerer Strahlung fand nicht statt [15].

Im Betriebszustand vollständiger Verarmung, induziert durch das Back-Gate, wurden bei Raumtemperatur die höchste Quanteneffizienz erreicht [10] [14]. Im Gegensatz dazu wurden die höchste Quanteneffizienz bei Temperaturen von 500 K in Inversion [14] oder Akkumulation [10] erreicht. Dies verdeutlicht den enormen Einfluss des Back-Gates bei diesen Dioden.

## **2.2 Einzelphoton-Detektoren für ultraviolette Strahlung**

Da in den Untersuchungen in der Literatur lediglich sehr kleine Sperrspannungen verwendet wurden, gibt es aus diesen Arbeiten [10] [14] keine Erkenntnisse über das Multiplikations- oder Durchbruch-Verhalten der pin-Dioden. Nur in [22] wird berichtet, dass der Multiplikationseffekt bei einer pin-Diode in einer Dünnschicht-SOI-Technologie verwendet wurde, um die Quanteneffizienz bei einer Wellenlänge von 850 nm zu erhöhen. Ein Wert von 58 % wird erreicht.

Im Zusammenhang mit dem Durchbruch ist besonders die Lawinen-Multiplikation interessant, weil mit Hilfe dieses Prozesses kleine Signale verstärkt werden können und dadurch eine höhere Quanteneffizienz erreicht wird. Im Extremfall des Einzelphoton-Detektors kann, wie der Name nahelegt, ein einzelnes Photon detektiert werden. Dieser Detektortyp ist auf den Lawinen-Prozess angewiesen [5].

In der Standard CMOS-Technologie wurden in den letzten Jahren große Fortschritte bei der Entwicklung von Einzelphoton-Detektoren erzielt. [23] bietet eine große Übersicht über den aktuellen Stand der Technik. Neben anderen Parametern wird insbesondere die Photon-Detektionseffizienz (PDE) und die Dunkelzählrate (*dark count rate*, DCR) dieser Detektoren betrachtet. In der Regel liegen darin die

maximalen PDE-Werte im Wellenlängenbereich von 450 nm bis 470 nm. Einige Arbeiten berichten von Untersuchungen im ultravioletten Spektrum bei einer Wellenlänge von 350 nm. Hier liegt die PDE bei etwa 1 % [24], 3 % [25] bzw. 6 % [26]. In einer aktuellen Veröffentlichung wird eine deutlich höhere PDE von 20 % bei einer Wellenlänge von 300 nm bzw. 30 % bei 350 nm erreicht, indem die Siliziumnitrid-Passivierung gedünnt wird [27].

Aktuell wird auch ein weiteres Konzept verfolgt, um die Empfindlichkeit von SPADs bei UV-Strahlung zu verbessern. Eine Diode mit einer wenige Nanometer dünnen Bor-Schicht an der Oberfläche [28] wird verwendet [29] [30]. In [30] wird eine PDE von 11 % bei einer Wellenlänge von 370 nm berichtet.

Im Fall der SOI CMOS-Technologie konnten nur wenige Arbeiten identifiziert werden, die sich mit SPADs befassen [31] [32] [33]. Die Filmdicke des SOI ist in diesen Arbeiten jedoch relativ dick (1,5  $\mu\text{m}$  [31], 3,0  $\mu\text{m}$  [32], 5,0  $\mu\text{m}$  [33]), so dass keine lateralen sondern vertikale SPADs betrachtet werden, die deshalb bezüglich ihres Verhaltens den SPADs der Standard CMOS-Technologie ähneln. In [31] wird eine Quanteneffizienz (QE) von 20 % bei einer Wellenlänge von 400 nm ermittelt.

Neben den Silizium-basierten Detektortypen gewinnen *Wide-Bandgap* basierte Detektoren immer mehr an Bedeutung und werden auch als SPADs eingesetzt [34] [35] [36] [37] [38] [39]. Die höchste berichtete PDE beträgt für Siliziumcarbid (SiC) 32 % bei einer Wellenlänge von 266 nm [34] und für Galliumnitrid (GaN) 24 % bei 340 nm [37]. Allerdings haben die SiC- und GaN-Detektoren sehr hohe Dunkelzählraten, die mehr als vier Größenordnungen höher sind verglichen mit Si-Detektoren (vgl. Tab. 4.1), weil die Defektdichte in diesen Materialien hoch ist [35] [38]. Ein wesentlicher Nachteil der *Wide-Bandgap* Detektoren ist zudem die fehlende Kompatibilität zur CMOS-Technologie, weswegen diese nicht ohne weiteres in den CMOS-Integrationsprozess eingebunden werden können. Dies verschafft den rein silizium-basierten Detektoren einen (entscheidenden) Kostenvorteil bei der Herstellung.

Aufgrund der hohen Quanteneffizienz von pin-Dioden in der SOI CMOS-Technologie (Tab. 2.1) im UV ist es sinnvoll, diese Detektoren bezüglich ihrer Leistungsfähigkeit als SPAD im UV-Bereich zu untersuchen, da auf diese Weise eine Alternative zu den *Wide-Bandgap* SPADs realisiert werden könnte.



### 3 Photodetektoren in SOI-CMOS

Dieses Kapitel befasst sich mit Photodetektoren, die in einer SOI-Technologie integriert werden. Diese Technologie ist eine spezielle Form der Silizium-basierten CMOS-Technologie. Aufgrund der verwendeten Substrate eignet sich diese unter anderem für Anwendungen im Bereich hoher Spannungen, hoher Geschwindigkeiten, hoher Temperatur und geringen Energieverbrauchs von Bauelementen [40] [41] [42].

In Abb. 3.1 sind die Querschnitte einer Standard CMOS-Technologie<sup>1</sup> und einer SOI CMOS-Technologie gegenüber gestellt. Der wesentliche Unterschied ist die vergrabene Oxid-Schicht der SOI-Technologie. Im Film über der vergrabenen Oxid-Schicht (*buried oxide*, BOX) werden die Bauelemente, wie zum Beispiel Transistoren, Widerstände oder Dioden integriert. Die Dicke des Films bietet eine weitere Variationsmöglichkeit der SOI-Technologie und es wird zwischen zwei Technologie-Typen unterschieden: der teilweise und der vollständig verarmten SOI-Technologie (*partially depleted* (PD) und *fully depleted* (FD) SOI).

---

<sup>1</sup> Im englischen verwendet man den Begriff *Bulk CMOS* im Gegensatz zu *SOI CMOS*. Im Deutschen wird die Bezeichnung *Substrat CMOS* nicht verwendet. Deshalb wird im Folgenden der Begriff *Standard CMOS* als Synonym für *Bulk CMOS* und als Gegensatz zu *SOI CMOS* verwendet.

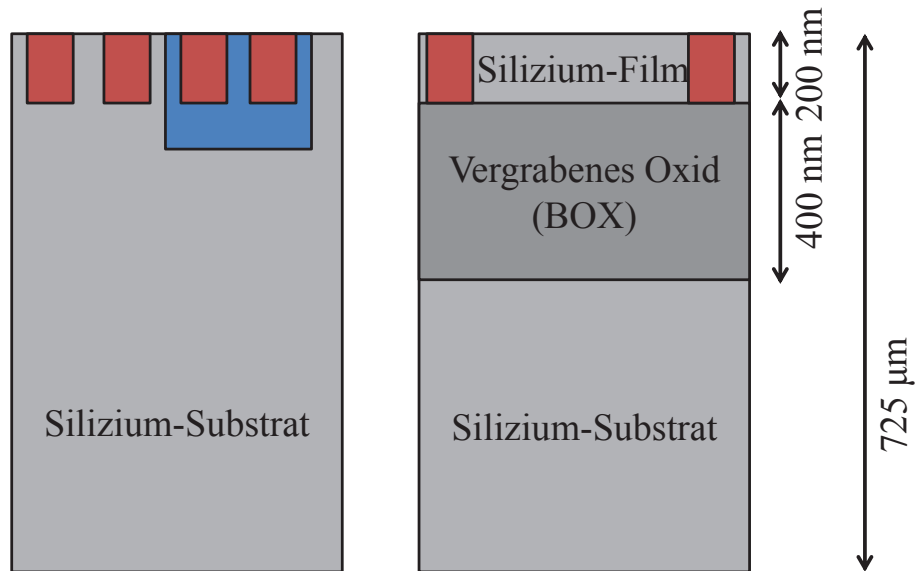


Abb. 3.1: Schematischer Querschnitt eines Standard CMOS- und eines SOI CMOS-Substrats. Beim SOI CMOS trennt das elektrisch isolierende vergrabene Oxid das Substrat vom aktiven Silizium-Film. Die Integration von Bauelementen findet in der Standard CMOS-Technologie an der Oberfläche bis zu einigen Mikrometern Tiefe statt (durch die Strukturen oben angedeutet). Die gesamte Wafer-Dicke beträgt  $725\text{ }\mu\text{m}$ . Die Dicke des vergrabenen Oxids bzw. des Silizium-Films beträgt in der hier verwendeten Technologie vor dem Integrationsprozess  $400\text{ nm}$  bzw.  $200\text{ nm}$ .

In der vorliegenden Arbeit wurden fast ausschließlich Bauelemente verwendet, die einer  $1,0\text{ }\mu\text{m}$  und einer  $0,35\text{ }\mu\text{m}$  PD-SOI-Technologie zugrunde liegen. Die Angaben zu den Dicken des Substrates sowie der vergrabenen Oxidschicht und des Films sind in derselben Abbildung zu finden.

Aufgrund der Substrat-Konfiguration (relativ dünner Film in Kombination mit einer isolierenden, vergrabenen Oxid-Schicht) der SOI-Technologie ergeben sich Randbedingungen, die es erlauben schnelle, selektive Photodioden für ultraviolette Strahlung zu integrieren [12] [13] [16] [18]. Der aktuelle Trend zielt darauf ab, diese Photodioden sogar bei Temperaturen über  $100\text{ }^{\circ}\text{C}$  einzusetzen [9] [10] [15].

In diesem Kapitel wird die Eignung der vorliegenden PD-SOI-Technologien untersucht, Photodetektoren für ultraviolette Strahlung zu integrieren. Dazu werden Dioden elektrisch und optisch charakterisiert und die Untersuchungsergebnisse unter



Verwendung von physikalischen Simulationsergebnissen interpretiert. Am Ende des Kapitels werden die auf diese Weise gewonnenen Erkenntnisse genutzt, um die mögliche Leistungsfähigkeit einer integrierten Photodiode in den vorliegenden Technologien zu beschreiben.

Im Kapitel 3.1 werden die theoretischen Grundlagen zur Detektion von elektromagnetischer Strahlung im Halbleiter behandelt. Nach dieser allgemeinen Einführung werden Photodioden in der SOI CMOS-Technologie im speziellen betrachtet.

In 3.2 werden die verwendeten Methoden beschrieben, mit denen die Untersuchungen durchgeführt worden sind. Neben der elektrischen Charakterisierung wird die Charakterisierung und Simulation der Quanteneffizienz vorgestellt.

In Kapitel 3.3 werden die Mess- und Simulationsergebnisse präsentiert, verglichen und diskutiert.

Kapitel 3.4 fasst die wichtigsten Ergebnisse zusammen und gibt einen Ausblick für weitere Untersuchungsmöglichkeiten von SOI-Photodioden.

### 3.1 Theoretische Grundlagen

In diesem Abschnitt werden die Grundlagen zur Detektion von elektromagnetischer Strahlung im Halbleiter erläutert. Danach werden Kenngrößen von Photodioden vorgestellt, bevor SOI-Photodioden im speziellen betrachtet werden. Dabei wird auch der Einfluss des Back-Gates berücksichtigt.

#### 3.1.1 Detektion von elektromagnetischer Strahlung im Halbleiter

Trifft ein Photon auf einen Halbleiter, dessen Abstand von Valenz- und Leitungsband, die Bandlücke  $E_G$ , kleiner ist als die Energie des Photons, so kann dieses ein Elektron-Loch-Paar im Halbleiter erzeugen. Die Energie des Photons ist gegeben durch

$$E_{Ph} = \frac{hc_0}{\lambda}. \quad (3.1)$$

mit dem Planck'schen Wirkungsquantum  $h$ , der Vakuum-Lichtgeschwindigkeit  $c_0$  und der Wellenlänge der elektromagnetischen Strahlung  $\lambda$ . Die so erzeugten Ladungsträger könnten sich im Halbleiter durch den Diffusionsprozess bewegen. Da

der Diffusionsprozess keine Vorzugsrichtung besitzt und der gebundene Zustand von Elektronen und Löchern energetisch günstiger ist als der ungebundene, rekombinieren diese nach einer gewissen Zeit. Diese Zeit wird als Lebensdauer bezeichnet. Um diese Rekombination zu verhindern, werden die erzeugten Ladungsträger durch ein elektrisches Feld räumlich getrennt. Werden die getrennten Ladungsträger über einen elektrischen Kontakt abgeführt, so entsteht dadurch ein messbarer Stromfluss, der proportional zur Menge der erzeugten Ladungsträger ist.

Ein pn-Übergang im Halbleiter bildet im thermodynamischen Gleichgewicht ein elektrisches Feld aus. Dieser Übergang entsteht, wenn mit Donatoren (n-Typ) und Akzeptoren (p-Typ) dotierte Halbleiter in Kontakt gebracht werden. Aufgrund des Kontakts fließt zunächst ein Diffusionsstrom, da im p- bzw. n-Halbleiter zahlreiche frei bewegliche Löcher bzw. Elektronen vorhanden sind. Diese beiden Ladungsträger rekombinieren, so dass an der Grenzfläche ein von beweglichen Ladungen freier Halbleiter, die Raumladungszone (RLZ), entsteht. Diese Raumladungszone trennt den n-Typ und p-Typ-Bereich, so dass sich eine kondensator-ähnliche Struktur bildet und dazwischen ein elektrisches Feld entsteht. Das elektrische Feld bildet sich aus, weil sich ortsfeste geladene Atomrümpfe in der Raumladungszone befinden. Im p-Typ-Halbleiter sind diese negativ geladen und im n-Typ-Halbleiter positiv. Das elektrische Feld wirkt dem Diffusionsmechanismus entgegen und ein thermodynamisches Gleichgewicht zwischen Diffusionsstrom und Feldstrom stellt sich ein. Der Ausgleichsprozess kommt dadurch zum Stillstand. Der Halbleiter vor dem Kontakt und im thermodynamischen Gleichgewicht ist schematisch in Abb. 3.2 a) bzw. b) dargestellt.

Das elektrische Feld der Raumladungszone eignet sich dazu, die durch Photonen generierten Ladungsträger zu trennen. Dadurch können diese detektiert werden. Dieses Feld kann durch Anlegen einer Sperrspannung am pn-Übergang vergrößert werden. Dabei dehnt sich die Raumladungszone ebenfalls aus. Für eine konstante Dotierung des p-Gebiets ( $N_A$ ) und des n-Gebiets ( $N_D$ ) kann der Zusammenhang zwischen der Weite der Raumladungszone  $w_{RLZ}$  und der angelegten Sperrspannung  $V_R$  angegeben werden [43]

$$w_{RLZ} = \sqrt{\frac{2\varepsilon_0\varepsilon_{HL}}{q} \left( \frac{N_A + N_D}{N_A N_D} \right) (\Psi_{bi} - V_R)}. \quad (3.2)$$

In dieser Gleichung bezeichnen  $\varepsilon_0$  bzw.  $\varepsilon_{HL}$  die Dielektrizitätskonstante bzw. Dielektrizitätszahl vom Halbleiter,  $q$  die Elementarladung und  $\Psi_{bi}$  die Built-In-Spannung. Die Sperrspannung  $V_R$  ist dabei negativ. Die Weite der Raumladungszone nimmt in diesem Fall mit der Wurzel der angelegten Sperrspannung zu.

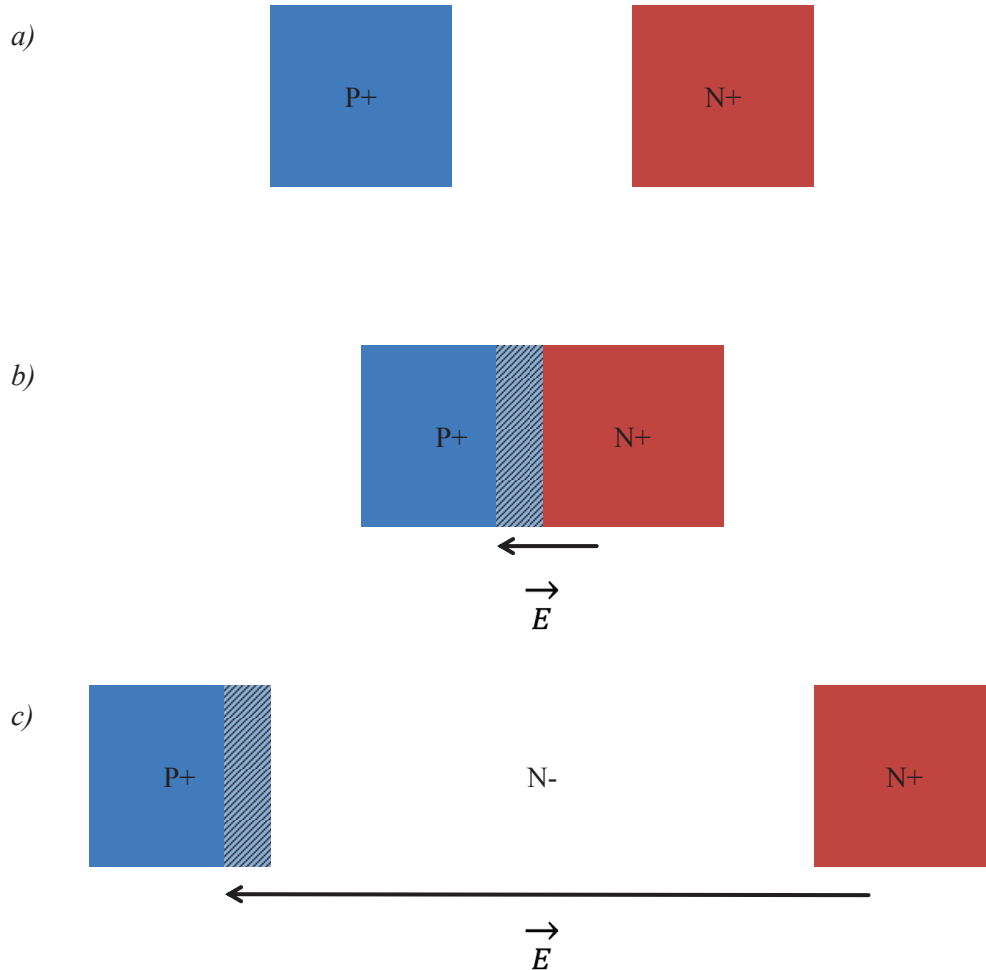


Abb. 3.2: Halbleiter pn-Übergang vor dem Kontakt a), nach dem Kontakt mit der entstandenen Raumladungszone b) und pin-Übergang mit Raumladungszone c). „+“ und „-“ symbolisieren eine relativ hohe bzw. niedrige Dotierung des Halbleiters.

Wird der pn-Übergang genutzt, um elektromagnetische Strahlung zu detektieren, so ist ein möglichst großer Bereich wünschenswert, innerhalb dessen ein elektrisches Feld existiert. Dieser Bereich wird als photoaktive Fläche bezeichnet. Um die photoaktive Fläche zu vergrößern, wird das Gebiet in dem sich das elektrische Feld ausdehnt erweitert. Dazu wird zwischen den p- und n-Gebieten des pn-Übergangs ein Gebiet mit einer um Größenordnungen geringerer Dotierung eingefügt. Aufgrund der relativ niedrigen Dotierung dehnt sich die Raumladungszone in diesem Gebiet bereits bei kleinen Sperrspannungen aus (Gleichung (3.2)). Die photoaktive Fläche vergrößert sich entsprechend der Ausdehnung der Raumladungszone. Ein Querschnitt einer solchen Diode mit einem eingebauten Bereich mit geringer Dotierung ist in Abb. 3.2, c) gezeigt. Da der niedrig dotierte Bereich nahezu undotiert (also intrinsisch) ist, wird dieser Diodentyp als pin-Diode bezeichnet.

Damit Photonen detektiert werden können, müssen diese die Raumladungszone des gesperrten pn- oder pin-Übergangs (im folgenden Photodiode genannt) erreichen. Im Fall einer in der CMOS-Technologie integrierten Photodiode sind zwei wesentliche Aspekte zu berücksichtigen, die dies beeinträchtigen können. Das sind Reflexionen der Strahlung vor dem Erreichen der photoaktiven Fläche der Photodiode und die Eindringtiefe von elektromagnetischer Strahlung in den Halbleiter.

Im *Back-End-Of-Line* (BEOL) der CMOS-Technologie treffen eine Vielzahl von Siliziumoxid-Schichten mit unterschiedlichen optischen Eigenschaften aufeinander. Das ist in Abb. 3.3 veranschaulicht. Dies hat zur Folge, dass einfallendes Licht durch Mehrfachreflexionen unvollständig an der photoaktiven Schicht (Si) der Photodiode ankommt. Dabei wird die ankommende Strahlung aufgrund von Interferenzeffekten durch die unterschiedlichen Dicken und optischen Eigenschaften der einzelnen Schichten beeinflusst. Die Schichtdicken unterliegen prozessbedingten Schwankungen, was zu einer Unsicherheit bei der Bestimmung der ankommenden Strahlung führt. Zusätzlich ist die Bandlücke dieser BEOL-Schichten bei kurzwelliger Strahlung klein genug, dass sie selbst Strahlung absorbieren können. Diese Strahlung erreicht dann weder die Photodiode noch kann sie detektiert werden.

Der zweite Aspekt, der für die Detektion von elektromagnetischer Strahlung relevant ist, ist die Eindringtiefe der Photonen in den Halbleiter. Diese ist wellenlängenabhängig und wird durch das Lambert-Beer-Gesetz beschrieben [44]:

|      |                                |   |               |
|------|--------------------------------|---|---------------|
| BEOL | Si <sub>3</sub> N <sub>4</sub> | 750nm   |               |
|      | PSG                            | 600nm   |               |
|      | USG                            | 4500 nm   | MET 1 - MET 3 |
|      | Siloxan                        | 100 nm  |               |
|      | BPSG                           | 870 nm  |               |
|      | USG                            | 100 nm  |               |
|      | SiO <sub>2</sub>               | 50 nm   |               |
| FEOL | Si                             | 120 nm (1,0 µm-Technologie)<br>150 nm (0,35 µm-Technologie) |               |

Abb. 3.3: Darstellung der SOI CMOS-Technologien im Querschnitt. Im BEOL werden Materialien mit unterschiedlichen optischen Eigenschaften verwendet: SiO<sub>2</sub>, *undoped silicon glass* (USG), *borphosphosilicate glass* (BPSG), Siloxan, *phosphosilicate glass* (PSG) und Siliziumnitrid (Si<sub>3</sub>N<sub>4</sub>). Im Front-End-of-Line (FEOL) findet die Absorption der elektromagnetischen Strahlung statt.

$$I(z) = I_0 \cdot e^{-\alpha(\lambda)z_P}. \quad (3.3)$$

Hier ist  $z_P$  die Eindringtiefe parallel zum Normalvektor der Silizium-Oberfläche,  $I_0$  die Intensität der Strahlung an der Oberfläche des Siliziums und  $\alpha(\lambda)$  der wellenlängenabhängige Absorptionskoeffizient. Das Gesetz beschreibt einen exponentiellen Abfall der Intensität mit zunehmender Materialtiefe. Je höher die Energie des Photons, also je geringer die Wellenlänge (Gleichung (3.1)), desto größer ist der Absorptionskoeffizient. In Abb. 3.4 ist der Zusammenhang zwischen Wellenlänge und Eindringtiefe für Silizium dargestellt. Der Absorptionskoeffizient  $\alpha$  entspricht dem Kehrwert der dargestellten Eindringtiefe. Für Wellenlängen im Bereich 250 nm bis 350 nm beträgt die Eindringtiefe nur wenige Nanometer und nimmt stetig mit der Wellenlänge zu. In Abhängigkeit der Temperatur ist eine Änderung von  $\alpha$  nur für Wellenlängen größer als 350 nm zu erkennen.

Je nach Aufbau einer Photodiode kann die geringe Eindringtiefe unter 350 nm dazu führen, dass nahezu kein Photon die Raumladungszone erreicht. Das ist zum

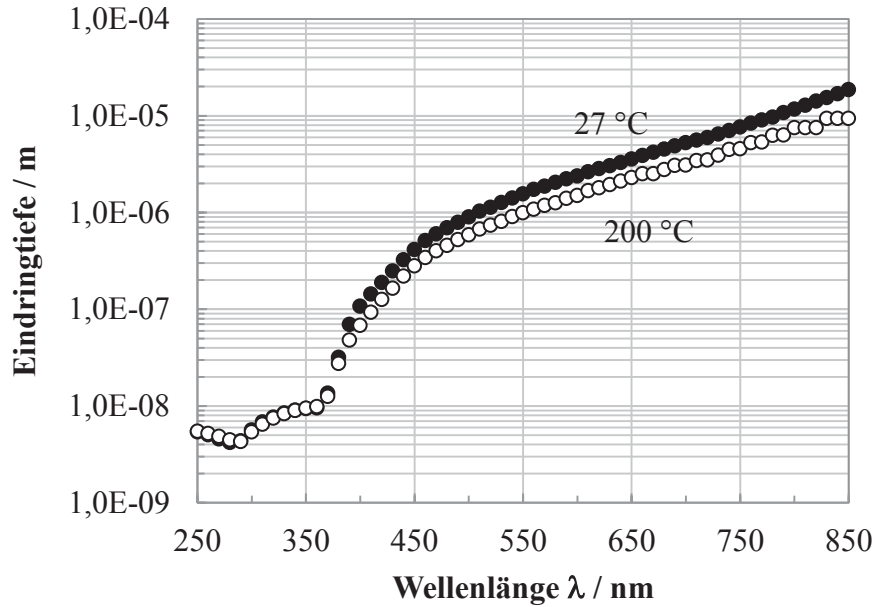


Abb. 3.4: Eindringtiefe von elektromagnetischer Strahlung ins Silizium bei 27 °C und 200 °C nach [11].

Beispiel dann der Fall, wenn die Raumladungszone tiefer als 300 nm liegt und die Wellenlänge der Strahlung 250 nm beträgt.

### 3.1.2 Kenngrößen von Photodioden

Die wichtigsten Kenngrößen von Halbleiter-Photodetektoren sind die Responsivität  $R$ , die Quanteneffizienz  $\eta$ , die Verstärkung  $g$ , die Reaktionszeit  $\tau$ , die Grenzfrequenz  $f_G$ , die rauschäquivalente Signalleistung  $NEP$  (*noise equivalent power*) und die Detektivität  $D$  [43] [45].

Die Responsivität oder Empfindlichkeit  $R$  ist definiert als Photostrom  $I_{ph}$  pro einfallender Lichtleistung  $P_{opt}$  und beinhaltet die Quanteneffizienz und die Verstärkung [43]

$$R = \frac{I_{ph}}{P_{opt}} = \frac{\eta \lambda q g}{h c_0}. \quad (3.4)$$

Die Quanteneffizienz  $\eta$  gibt an, wie effektiv Photonen in Ladungsträger umgewandelt werden und die Verstärkung  $g$ , ob mehr als ein Elektron-Loch-Paar pro ein-

fallendem Photon erzeugt wird. Das wäre zum Beispiel durch Lawinen-Multiplikation von Elektronen und Löchern möglich. Es wird zwischen externer  $\eta_{\text{ext}}$  (Berücksichtigung aller Verlustprozesse) und interner  $\eta_{\text{int}}$  (Berücksichtigung von intrinsischen Verlustprozessen) Quanteneffizienz unterschieden.

Die Reaktionszeit wird durch eine Signal-Veränderung zwischen 10 % und 90 % des Maximalwerts, bei regelmäßiger Anregung mit Lichtimpulsen, ermittelt. Die Grenzfrequenz ist die Frequenz, bei der das Signal am Ausgang um 3 dB gegenüber dem Signal bei niedriger Anregungsfrequenz vermindert ist. [45]

Die rauschäquivalente Signalleistung  $NEP$  und die Detektivität  $D$  sind umgekehrt proportional zueinander. Die erste gibt die optische Eingangsleistung bei einer Bandbreite von 1 Hz an, bei der das Signal-Rausch-Verhältnis (*signal to noise ratio*, SNR) Eins beträgt. Ab diesem Wert hat das Signal die gleiche Leistung wie das Rauschen und kann dann idealerweise vom Rauschen unterschieden werden. [43]

Die Abhängigkeit der  $NEP$  vom Rauschen und dessen Ursachen ist in [43] beschrieben und soll im Folgenden nachvollzogen werden. Zunächst sei eine intensitätsmodulierte optische Quelle angenommen. Deren optische Leistung ändert sich zeitlich und lässt sich durch folgende Gleichung darstellen

$$P(\omega) = P_{\text{opt}}[1 + m \exp(j\omega t)]. \quad (3.5)$$

Dabei ist  $m$  ein Modulationsindex und  $\omega$  die Modulationsfrequenz. Der Modulationsindex kann Werte zwischen 0 und 1 annehmen. Das quadratische Mittel dieser optischen Leistung beträgt  $mP_{\text{opt}}/\sqrt{2}$ . Daraus ergibt sich dann das quadratische Mittel des Photostroms  $i_{\text{ph}}$  nach Gleichung (3.4)

$$i_{\text{ph}} = \frac{q\eta m P_{\text{opt}}}{\sqrt{2}h\nu}. \quad (3.6)$$

Hier ist  $\nu=c_0/\lambda$  die Frequenz der Strahlung. Das Schrotrauschen einer Photodiode setzt sich aus drei Komponenten zusammen, dem Photostrom  $I_B$  generiert aus unerwünschter Bestrahlung (zum Beispiel durch ein nicht vollkommen lichtdichtes Messsystem), dem Dunkelstrom  $I_D$  und dem Photostrom  $I_{\text{ph}}$ , erzeugt durch die zu detektierende Strahlung. Der Beitrag vom Schrotrauschen setzt sich dabei folgendermaßen zusammen

$$\langle i_s^2 \rangle = 2q(I_{Ph} + I_B + I_D)BW. \quad (3.7)$$

In dieser Gleichung bezeichnet  $BW$  die Bandbreite. Neben dem Schrotrauschen beeinflusst zusätzlich das thermische Rauschen das Signal-Rausch-Verhältnis

$$\langle i_T^2 \rangle = \frac{4k_B T BW}{R_{eq}}. \quad (3.8)$$

Dabei ist  $R_{eq}$  der äquivalente Widerstand der Photodiode, der sich aus dem Widerstand des pn-Übergangs, dem Serienwiderstand der Diode und dem Lastwiderstand zusammensetzt. Diese sind parallel geschaltet. Mit den beiden Rauschkomponenten aus thermischem Rauschen und Schrot-Rauschen sowie dem mittleren Photostrom ergibt sich das leistungsbezogene SNR

$$SNR = \frac{i_{Ph}^2}{\langle i_s^2 \rangle + \langle i_T^2 \rangle} = \frac{(1/2)(q\eta m P_{opt}/h\nu)^2}{2q(I_{Ph} + I_B + I_D)BW + 4k_B T BW/R_{eq}}. \quad (3.9)$$

Soll zum Beispiel ein bestimmtes SNR erreicht werden, so kann diese Gleichung nach der optischen Leistung  $P_{opt}$  aufgelöst werden und daraus eine Mindestleistung  $P_{opt,min}$  ermittelt werden. Diese ist gegeben durch

$$P_{opt,min} = \frac{2h\nu}{\eta} \sqrt{\frac{SNR I_{eq} BW}{q}}. \quad (3.10)$$

Der zu  $P_{opt,min}$  gehörige äquivalente Strom  $I_{eq}$  ist dabei gegeben zu

$$I_{eq} = I_B + I_D + \frac{2k_B T}{qR_{eq}}. \quad (3.11)$$

Schließlich kann  $NEP$  mit der minimalen optischen Leistung angegeben werden, wobei ein  $SNR=1$  und ein  $m=1$  angenommen wird

$$NEP = \left( \frac{h\nu}{\eta} \right) \sqrt{\frac{2I_{eq}}{q}}. \quad (3.12)$$

Aus den Gleichungen (3.9) und (3.12) ist ersichtlich, dass der Dunkelstrom  $I_D$  das  $SNR$  bzw.  $NEP$  direkt beeinflusst. Das  $SNR$  nimmt mit zunehmendem Dunkelstrom



ab und gleichzeitig steigt NEP an. Deshalb ist der Dunkelstrom eine sehr wichtige Größe bei Photodetektoren.

Die wichtigsten Einflussfaktoren auf den Dunkel- oder Leckstrom einer Photodiode werden im Folgenden betrachtet, wobei dies nach [43] geschieht. Unter Vernachlässigung von Tunnel- und Multiplikations-Mechanismen, diese werden in Kapitel 4 betrachtet, setzt sich der Dunkelstrom einer Silizium-Photodiode aus einem Diffusions- und einem Generations-Anteil zusammen.

Der Diffusions-Anteil ist der wohlbekannte Vorfaktor  $J_0$  aus der Shockley-Gleichung für die Dioden-Kennlinie

$$J = J_0 \left[ \exp\left(\frac{qV}{k_B T}\right) - 1 \right]. \quad (3.13)$$

Darin ist  $k_B$  die Boltzmann-Konstante und  $T$  die absolute Temperatur. Der Vorfaktor  $J_0$  ist die Summe der Diffusions-Anteile des p- und n-Gebiets des pn-Übergangs und ist definiert als

$$J_0 \equiv \frac{qD_p n_i^2}{L_p N_D} + \frac{qD_n n_i^2}{L_n N_A}. \quad (3.14)$$

In dieser Gleichung sind  $D_{n,p}$  die Diffusionskoeffizienten von Elektronen bzw. Löchern,  $L_{n,p}$  die entsprechende Diffusionslänge und  $n_i$  die intrinsische Ladungsträgerdichte im Halbleiter. Um die Abhängigkeit des Diffusionsstroms von der Temperatur zu ermitteln wird die Abhängigkeit der einzelnen Faktoren von der Temperatur betrachtet. Die Diffusions-Koeffizienten  $D_p$  und  $D_n$  sind direkt proportional zur Temperatur  $T$  und gegeben durch die Einstein-Relation

$$D_{n,p} = \left( \frac{k_B T}{q} \right) \mu_{n,p}. \quad (3.15)$$

Dabei ist ein Zusammenhang zur Beweglichkeit der Ladungsträger  $\mu_{n,p}$  gegeben. Die Diffusionslänge  $L_p$  bzw.  $L_n$  ist wiederum proportional zur Wurzel des jeweiligen Diffusionskoeffizienten und damit auch zur Wurzel der Temperatur

$$L_{n,p} = \sqrt{D_{n,p} \tau_{n,p}}. \quad (3.16)$$

$\tau_{n,p}$  sind die Lebensdauern von Elektronen bzw. Löchern. Die intrinsische Ladungsträgerdichte  $n_i$  ist ebenfalls temperaturabhängig. Die Abhängigkeit ist durch folgende Gleichung gegeben

$$n_i = 4.9 \times 10^{15} \left( \frac{m_{de} m_{dh}}{m_o^2} \right)^{3/4} M_C^{1/2} T^{3/2} \exp \left( -\frac{E_G}{2k_B T} \right). \quad (3.17)$$

Darin beschreibt  $M_C$  die Anzahl der äquivalenten Leitungsbandminima im Silizium,  $m_{de}$  bzw.  $m_{dh}$  die effektiven Massen der Zustandsdichten für Elektronen bzw. Löcher und  $m_o$  die Ruhemasse eines Elektrons. Die Bandlücke weist ebenfalls eine Abhängigkeit von der Temperatur auf mit den Koeffizienten  $\alpha_{EG}$  und  $\beta_{EG}$

$$E_G = E_G(T = 0) - \frac{\alpha_{EG} T^2}{T + \beta_{EG}}. \quad (3.18)$$

Unter der Annahme, dass bei Raumtemperatur alle Donatoren bzw. Akzeptoren ionisiert sind resultiert die Temperaturabhängigkeit des Diffusionsstroms

$$J_0 \propto \frac{T}{\sqrt{T}} \times \left[ T^{3/2} \exp \left( -\frac{E_G}{2k_B T} \right) \right]^2 = T^{7/2} \exp \left( -\frac{E_G}{k_B T} \right). \quad (3.19)$$

Dabei wurde der Einfluss der temperaturabhängigen Bandlücke vernachlässigt, da der Koeffizient  $\alpha_{EG} = 4.9 \times 10^{-4}$  eV/K viel kleiner als Eins ist und somit der Einfluss im Exponenten in Gleichung (3.19) vernachlässigbar wird gegenüber der direkten Abhängigkeit von der Temperatur.

Insgesamt ergibt sich die Temperaturabhängigkeit der Diffusionsstromdichte  $J_0$  wie in Gleichung (3.19) dargestellt. Dabei dominiert der Exponentialterm, der die Diffusionsstromdichte aufgrund der intrinsischen Ladungsträgerdichte  $n_i$  aus Gleichung (3.17) beeinflusst. Somit ist die Temperaturabhängigkeit der intrinsischen Ladungsträgerdichte im Wesentlichen für die Temperaturabhängigkeit der Diffusionsstromdichte verantwortlich

Nach der gleichen Methode kann der Einfluss der Generationsstromdichte  $J_{GEN}$  untersucht werden. Da die Diode in Sperrrichtung betrieben wird, findet Generation in der Raumladungszone statt. Die Weite der Raumladungszone  $w_{RLZ}$  ist eine Funktion der Sperrspannung (Gleichung (3.2)). Die Generationsstromdichte innerhalb der Raumladungszone ist dann

$$J_{GEN} = \int_0^{W_{RLZ}} q|U|dx \approx \frac{qn_i W_{RLZ}}{\tau_G}. \quad (3.20)$$

In dieser Gleichung ist  $U$  die Generationsrate in der Raumladungszone

$$\begin{aligned} U &= -\frac{1}{\tau_G} \times n_i \\ &= -\left\{ \frac{\sigma_p \sigma_n v_{th} N_t}{\sigma_n \exp((E_t - E_i)/k_B T) + \sigma_p \exp((E_i - E_t)/k_B T)} \right\} \times n_i. \end{aligned} \quad (3.21)$$

Hier bezeichnet  $N_t$  die Trapdichte,  $\sigma_{n,p}$  die Einfangquerschnitte von Elektronen bzw. Löchern und  $E_t$  die energetische Lage der Traps.  $v_{th}$  ist die thermische Geschwindigkeit. Die Temperaturabhängigkeit des Generationsstroms kann aus Gleichung (3.20) sofort bestimmt werden und eine direkte Proportionalität zu  $n_i$  ist gegeben. Die Weite der Raumladungszone ist dabei nicht von der Temperatur abhängig solange der Halbleiter extrinsisch bleibt, also die intrinsische Ladungsträgerdichte die effektive Dotierung nicht überschreitet. Die Temperaturabhängigkeit der Generationslebensdauer  $\tau_G$  ist im Vergleich zum Exponentialterm von  $n_i$  vernachlässigbar. Die Proportionalität der Generationsstromdichte zur Temperatur ist somit gegeben durch

$$J_{GEN} \propto T^{3/2} \exp\left(-\frac{E_G}{2k_B T}\right). \quad (3.22)$$

Wie bereits diskutiert, ist hier der Exponentialterm dominant gegenüber der Potenz. Ein Vergleich der Gleichungen (3.19) und (3.22) zeigt, dass der Generationsstrom doppelt so stark von der Temperatur beeinflusst wird wie der Diffusionsstrom. Praktisch ausgedrückt bedeutet das, dass sich der Generationsanteil alle 10 °C verdoppelt, der Diffusionsanteil alle 6 °C [46]. Der dominante Anteil kann zum Beispiel aus der Messung des Dunkelstroms einer Diode in Abhängigkeit der Temperatur ermittelt werden.

### 3.1.3 Silicon-On-Insulator Photodioden

In Abb. 3.5 ist ein Querschnitt einer SOI pin-Diode dargestellt, wobei nur das FEOL betrachtet wird. Im Gegensatz zur Standard CMOS-Technologie werden in der SOI-Technologie Substrate verwendet, bei denen das Silizium-Substrat und der

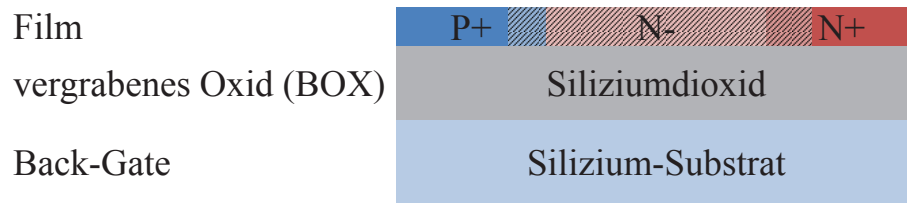


Abb. 3.5: Querschnitt einer SOI pin-Diode mit den in dieser Arbeit verwendeten Bezeichnungen. Das BEOL ist nicht dargestellt.

Silizium-Film von einer isolierenden Schicht aus  $\text{SiO}_2$  getrennt werden. Das  $\text{SiO}_2$  gilt als ein Isolator, da dessen Bandlücke etwa 9 eV beträgt [43].

SOI-Wafer können sich bezüglich der Dotierung (sowohl des Films als auch des Substrats), der Dicke des Films und der Dicke des Isolators unterscheiden. Die Film-Dicke wird verwendet, um weitere Unterscheidungs-Kriterien für SOI-Technologien zu definieren. Bei der PD-SOI-Technologie ist der Film dick, so dass dieser nicht vollständig durch ein Transistor-Gate verarmt werden kann. Im Gegensatz dazu ist das bei der FD-SOI-Technologie möglich und erwünscht. Aufgrund der Filmdicken von einigen zehn Nanometern wird die FD-SOI-Technologie als TF-SOI (*thin-film* SOI) bezeichnet.

Die geringe Film-Dicke der TF-SOI-Technologie erlaubt es nicht, pn-Übergänge von der Oberfläche in die Tiefe aufzubauen, wie in der Standard CMOS-Technologie üblich. Stattdessen werden pn- oder pin-Photodioden lateral, also entlang der Filmoberfläche, wie in Abb. 3.5 gezeigt, realisiert.

Aufgrund des lateralen Aufbaus der pin-Diode führt eine Vergrößerung des intrinsischen Gebiets gleichzeitig zu einer Vergrößerung der photoaktiven Fläche einer Photodiode und somit zu einem stärkeren Signal. Ein sehr großes intrinsisches Gebiet geht jedoch mit einem Geschwindigkeits- und Quanteneffizienz-Verlust der Photodiode einher. Letzterer kommt dadurch zustande, dass photogenerierte Ladung, die eine große Strecke zurücklegen muss, es nicht innerhalb ihrer Lebensdauer schafft und dann rekombiniert. Proportional zur Länge des intrinsischen Gebiets steigt aber auch die Zeit, die Ladungsträger benötigen um dieses zu durchqueren. Das hat einen Verlust der Geschwindigkeit zur Folge. Ein Kompromiss zwischen einer großer aktiven Fläche und der zu erzielenden Geschwindigkeit und Quanteneffizienz muss gefunden werden [15] [17].

Neben der Länge des i-Gebiets spielt auch dessen Dotierung eine bedeutende Rolle. Wie zum Beispiel in [15] gezeigt, nimmt die Rekombination bei einer höheren Dotierung des i-Gebiets, bei sonst identischen Ausgangsbedingungen, deutlich zu.

Die Dicke des Films wird in der FD-SOI-Technologie relevant, wenn die Wellenlänge der zu detektierenden Strahlung größer wird. Wie in Abb. 3.4 dargestellt, nimmt der Absorptionskoeffizient mit steigender Wellenlänge ab und gleichzeitig nimmt die Eindringtiefe zu. Bei einer Wellenlänge von 400 nm beträgt die Eindringtiefe etwa 100 nm. In diesem Fall wird nicht mehr der Großteil der Strahlung im Film (dessen Dicke ebenfalls in der Größenordnung liegt) absorbiert [9] [15]. Gleichzeitig kann das ein Vorteil sein, um die Selektivität einer Photodiode bezüglich kurzwelliger Strahlung zu erhöhen [9]. Die geringe Filmdicke führt auch dazu, dass ein Teil der Strahlung (etwa 16 % bei senkrechtem Einfall) am Übergang Film-BOX (Abb. 3.5) reflektiert wird und deshalb den Film doppelt durchquert. Ebenso finden Reflexionen an der Unterseite des BOX statt. Durch Mehrfachreflexionen erhöht sich dann die Quanteneffizienz.

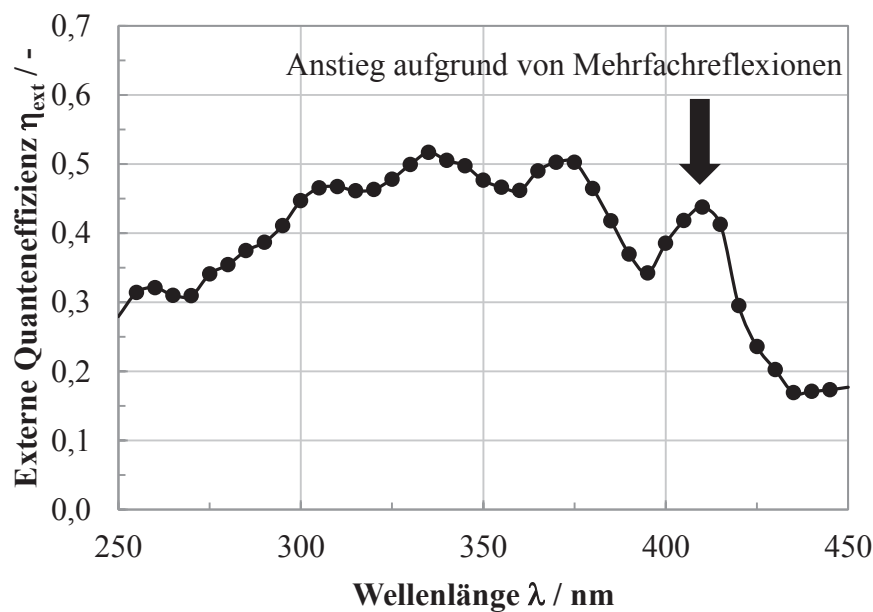


Abb. 3.6: Gemessene externe Quanteneffizienz einer SOI pin-Photodiode. Die Dicke des Films beträgt 120 nm. Der Anstieg von  $\eta_{\text{ext}}$  bei 410 nm bis 420 nm kommt aufgrund von Mehrfachreflexionen an den Film-BOX-Substrat-Grenzflächen zustande.

In Abb. 3.6 ist eine Messung der Quanteneffizienz einer FD-SOI-Photodiode dargestellt. Die SOI Film-Dicke beträgt 120 nm und wie bereits erwähnt, ist dies etwa die Eindringtiefe ins Silizium bei einer Wellenlänge von 400 nm [11]. Deshalb müsste ab dieser Wellenlänge eine stetige Abnahme der QE zu sehen sein. Dennoch ist in Abb. 3.6 bei einer Wellenlänge von 410 nm bis 420 nm eine Zunahme der Quanteneffizienz zu sehen, die aufgrund von reflektierter Strahlung an der Film-BOX-Substrat-Grenzfläche auftritt. Ein auf diesem Effekt basierender Ansatz zur Verbesserung der Quanteneffizienz wird zum Beispiel in [47] verfolgt. Dabei wird ein Bragg-Reflektor mit Hilfe von Übergängen zwischen Silizium und Siliziumdioxid erzeugt.

### 3.1.4 pin-Diode im SOI und der Back-Gate-Einfluss

Bei der Betrachtung des Querschnitts einer pin-Diode in der SOI CMOS-Technologie (Abb. 3.5) ist zu erkennen, dass durch die Trennung des Silizium-Films vom Substrat durch eine  $\text{SiO}_2$ -Schicht eine MOSFET (*metal oxide semiconductor field effect transistor*)-ähnliche Struktur entsteht. Dabei entspricht das Substrat, verglichen mit dem klassischen MOSFET, dem Gate des Transistors, die Isolator-Schicht dem Gate-Oxid und der intrinsische Bereich der Diode dem Kanal des Transistors, der vom Gate gesteuert werden kann. Durch diesen Aufbau besitzt die pin-Diode deshalb effektiv eine weitere, dritte, Elektrode (Back-Gate), die einen Einfluss auf das Verhalten des Bauelements hat.

Transistoren in der SOI-Technologie besitzen aufgrund der vergrabenen MOSFET-Struktur zwei Gates. Dies ermöglicht neun Kombinationen von Betriebszuständen, da beide Gates in Akkumulation, Verarmung und Inversion betrieben werden können [48]. Jedoch ist im Fall der pin-Diode nur das untere Back-Gate vorhanden. Dadurch entfällt die komplexe Wechselwirkung zwischen den beiden Gates. Dennoch ergeben sich aufgrund der Wechselwirkung zwischen dem Back-Gate und den Betriebszuständen der Diode (Fluss- und Sperrrichtung) mehr Betriebsmöglichkeiten, als es zum Beispiel bei einer vergleichbaren Diode in der Standard CMOS-Technologie der Fall wäre. Im Fall einer Diode zur Detektion von elektromagnetischer Strahlung ist dabei der Betrieb in Sperrrichtung relevant.

Die Steuerung durch das Back-Gate erfolgt aufgrund der Verschiebung des Oberflächenpotentials  $\psi_s$  an der Grenzfläche zwischen Silizium und BOX. Für ei-

nen p-Typ Halbleiter lassen sich sechs Betriebszustände in Abhängigkeit des Oberflächenpotentials unterscheiden [43]:

1. Akkumulation:  $\Psi_S < 0$ ,
2. Flachband-Fall:  $\Psi_S = 0$ ,
3. Verarmung:  $\Psi_{Bp} > \Psi_S > 0$ ,
4. Fermi-niveau in der Mitte der Bandlücke:  $\Psi_S = \Psi_{Bp}$ ,
5. schwache Inversion:  $2\Psi_{Bp} > \Psi_S > \Psi_{Bp}$ ,
6. starke Inversion:  $\Psi_S > 2\Psi_{Bp}$ .

Dabei ist  $\Psi_{Bp}$  das Fermi-niveau relativ zur Bandmitte des Halbleiters. Die hier relevanten Betriebszustände Verarmung, Akkumulation und Inversion sind in Abb. 3.7 schematisch im Querschnitt einer pin-Diode dargestellt. Die Wirkung des Back-Gates beschränkt sich im Wesentlichen auf das i-Gebiet, weil dort die Dotierung im Vergleich zum P+ und N+ viel geringer ist.

Bei Verarmung erstreckt sich eine Raumladungszone über das gesamte intrinsi-

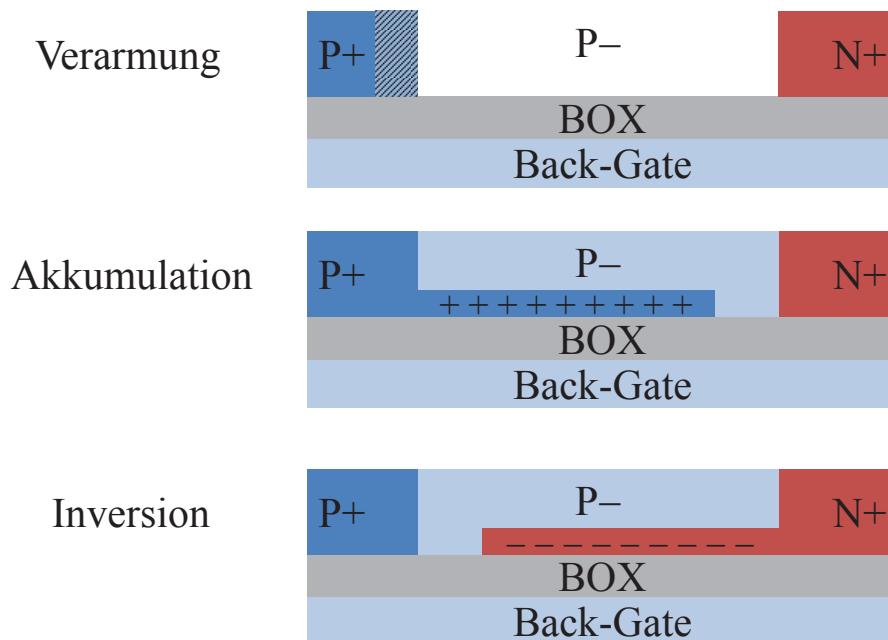


Abb. 3.7: Schematische Darstellung der Betriebszustände einer SOI pin-Diode. Je nach Oberflächenpotential an der Unterseite des Films, das durch das Back-Gate gesteuert werden kann, stellt sich Verarmung, Akkumulation oder Inversion ein.

sche Gebiet. Wird die Back-Gate-Spannung (im Fall eines intrinsischen Gebiets vom p-Typ) reduziert, dann werden Löcher an der Unterseite des Films akkumuliert. Es bildet sich also eine P+-Schicht an der Unterseite aus. Aufgrund der lateralen Built-In-Spannung am pn-Übergang zwischen P- und N+ erstreckt sich die akkumulierte P+-Schicht nicht über das gesamte intrinsische Gebiet, ausgehend vom P+-Kontakt, sondern endet in der Nähe des pn-Übergangs. Die Position an der das stattfindet ist abhängig von der Back-Gate-Spannung und der Sperrspannung an der Diode.

Bei einer Erhöhung der Back-Gate-Spannung wird das intrinsische Gebiet invertiert. Dabei bildet sich vom N+-Kontakt ausgehend ein Inversionskanal bestehend aus Elektronen aus. Analog zur Akkumulation entsteht die Inversionsschicht nicht durchgehend über das gesamte intrinsische Gebiet, sondern endet in der Nähe des P+-Kontakts.

Das Potential im Halbleiter  $\Psi_p$  berechnet sich durch Lösung der eindimensionalen Poisson-Gleichung

$$\frac{d^2 \Psi_p}{dx^2} = -\frac{\rho(x)}{\epsilon_0 \epsilon_{HL}}. \quad (3.23)$$

Im Folgenden ist die Lösung nach [43] dargestellt. In dieser Gleichung ist  $\rho(x)$  die Raumladungsträgerdichte

$$\rho(x) = q(N_D^+ - N_A^- + p_p - n_p). \quad (3.24)$$

$N_D^+$  bzw.  $N_A^-$  die Dichten der ionisierten Donatoren bzw. Akzeptoren und  $p_p$  bzw.  $n_p$  die Majoritäten bzw. Minoritäten im p-Halbleiter. Am Rand der Raumladungszone gilt  $\Psi_p=0$  und  $\rho(x)=0$ . Das bedeutet, die Summe der ionisierten Donatoren und Akzeptoren ist gleich der Summe der Majoritäten und Minoritäten. Unter dieser Randbedingung kann die Poisson-Gleichung (3.23) gelöst werden. Mit der extrinsischen Debye-Länge für Löcher  $L_D$

$$L_D \equiv \sqrt{\frac{k_B T \epsilon_0 \epsilon_{HL}}{p_{p0} q^2}} \equiv \sqrt{\frac{\epsilon_0 \epsilon_{HL}}{q p_{p0} \beta}}, \quad (3.25)$$

und der Abkürzung



$$F\left(\beta \Psi_p, \frac{n_{p0}}{p_{p0}}\right) \equiv \sqrt{[\exp(-\beta \Psi_p) + \beta \Psi_p - 1] + \frac{n_{p0}}{p_{p0}} [\exp(\beta \Psi_p) - \beta \Psi_p - 1]}, \quad (3.26)$$

kann das elektrische Feld in der Raumladungszone  $E(x)$  angegeben werden durch (positiv für  $\Psi_p > 0$  und negativ für  $\Psi_p < 0$ )

$$E(x) = \pm \frac{\sqrt{2} k_B T}{q L_D} F\left(\beta \Psi_p, \frac{n_{p0}}{p_{p0}}\right). \quad (3.27)$$

In diesen drei Gleichungen bezeichnet  $p_{p0}$  bzw.  $n_{p0}$  die Majoritäten bzw. Minoritäten im p-Halbleiter im thermodynamischen Gleichgewicht und  $\beta = q/k_B T$ . Die Raumladung pro Fläche ist dann

$$Q_S = -\varepsilon_0 \varepsilon_{HL} E_S = \mp \frac{\sqrt{2} \varepsilon_0 \varepsilon_{HL} k_B T}{q L_D} F\left(\beta \Psi_S, \frac{n_{p0}}{p_{p0}}\right). \quad (3.28)$$

Dabei ist  $E_S$  das elektrische Feld an der Oberfläche (mit  $\Psi_p = \Psi_S$  in Gleichung (3.27)).

Wird die Austrittsarbeitsdifferenz  $\Phi_{MS}$  zwischen dem Gate-Material und dem Silizium-Film berücksichtigt, dann verschiebt sich der Flachbandfall ( $\Psi_S = 0$ ) um den entsprechenden Wert. Zusätzlich können im realen Bauelement Ladungen im Oxid ( $Q_{Oxid}$ ) oder an der Silizium-Siliziumdioxid-Grenzfläche ( $Q_{OF}$ ) auftreten. Diese bewirken eine weitere Verschiebung der Flachbandspannung  $V_{FB}$ . Die Flachbandspannung ergibt sich dann für einen p-Typ Halbleiter zu

$$V_{FB} = \Phi_{MS} - \frac{Q_{Oxid} + Q_{OF}}{C_{Oxid}}. \quad (3.29)$$

$C_{Oxid}$  bezeichnet die Oxid-Kapazität.

Die Austrittsarbeit im Halbleiter  $\Phi_S$  ergibt sich aus der Elektronenaffinität  $\chi_{Si} = 4,05$  eV und dem Potential zwischen Leitungsband und dem Fermi-niveau  $E_F$ . Diese ist für einen p-Typ Halbleiter (oberes Vorzeichen) bzw. n-Typ Halbleiter (unteres Vorzeichen)

$$\Phi_S = \chi_{Si} + \frac{E_G}{2} \pm (\pm E_i \mp E_F). \quad (3.30)$$

$E_i$  ist dabei das intrinsische Fermi-niveau. Die Potentialdifferenz zwischen dem intrinsischen Niveau und dem Fermi-niveau kann mit folgender Gleichung, in Abhängigkeit der Dotierung (oberes Vorzeichen für Akzeptoren und unteres für Donatoren), angegeben werden

$$N_{A,D} = n_i \exp\left(\frac{\pm E_i \mp E_F}{k_B T}\right). \quad (3.31)$$

Zur Unterscheidung der Betriebsbereiche ist die Kenntnis der Flachbandspannung und der Inversionsspannung in Abhängigkeit der Dotierung des intrinsischen Gebiets der pin-Diode notwendig. Für den Flachbandfall ist das Oberflächenpotential im Halbleiter  $\Psi_S=0$ . Dieses Oberflächenpotential trennt den Akkumulations- und Verarmungsbereich. Das Oberflächenpotential, ab dem in einem p-Typ-Halbleiter starke Inversion einsetzt, ist gegeben durch

$$\Psi_S \approx 2 \Psi_{Bp} \approx \frac{2k_B T}{q} \ln\left(\frac{N_A}{n_i}\right). \quad (3.32)$$

Die Back-Gate Spannungen für den Flachbandfall und das Einsetzen der starken Inversion lassen sich somit berechnen unter Berücksichtigung, dass die Gate-Spannung  $V_G$  die Summe der Spannungen über das Oxid  $V_{Oxid}$  und des Oberflächenpotentials sind. Der Spannungsabfall über das Oxid ist gegeben durch

$$V_{Oxid} = \frac{|Q_S|}{C_{Oxid}}. \quad (3.33)$$

Im Fall einer Photodiode ist die vollständige Verarmung des intrinsischen Gebiets, im Gegensatz zur Akkumulation oder Inversion, der relevante Betriebszustand. Bei Dioden der Standard CMOS-Technologie wird dieser Zustand durch Anlegen einer Sperrspannung an die Diode erreicht. Wie oben gezeigt, kann im Fall der pin-Diode im SOI auch das Back-Gate verwendet werden, um das intrinsische Gebiet zu verarmen. Beide Mechanismen können auch kombiniert werden. Durch die Kombination können höhere Durchbruch-Spannungen in pin-Dioden erzielt werden, weil der RESURF-Effekt (*reduced surface field*) [49] ausgenutzt wird. Dabei teilen sich

beide Raumladungszonen (induziert vom Back-Gate und von der Sperrspannung der Diode) die Raumladung des verarmten Gebiets. Das effektive elektrische Feld wird dabei verringert und die Durchbruchspannung der Diode deshalb erhöht. Der Einfluss des Back-Gate-Potentials auf das Durchbruchverhalten einer Drain-Diode (die Diode zwischen dem Drain und dem Kanal eines MOSFET) in einer SOI CMOS-Technologie wurde in [50] untersucht. Das Durchbruchverhalten der SOI pin-Dioden in der vorliegenden Technologie wird in Kapitel 4 betrachtet.

### 3.1.5 Modell des pin-Dioden-Dunkelstroms im SOI

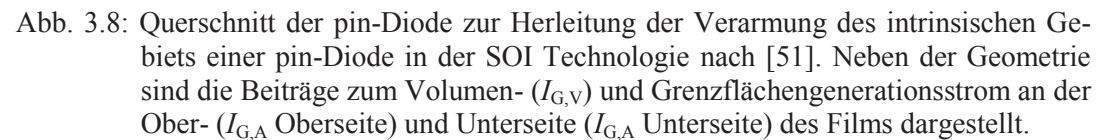
Im Abschnitt 3.1.2 wurde die Bedeutung des Dunkelstroms auf die Kenngrößen einer Photodiode dargestellt. Im Folgenden wird ein Modell entwickelt, um den Dunkelstrom einer SOI pin-Diode theoretisch zu betrachten und dadurch die wichtigsten Einflussfaktoren, die für dessen Entstehung verantwortlich sind, zu identifizieren.

#### 3.1.5.1 Analytische Lösung der zweidimensionalen Poisson-Gleichung

Eine pin-Photodiode wird immer in Sperrrichtung betrieben, damit das intrinsische Gebiet vollständig verarmt ist und zur Detektion von Strahlung genutzt werden kann. Deshalb ist von einem verarmten intrinsischen Gebiets auszugehen. Die Verarmung dieses Gebiets kann nach [51] analytisch beschrieben werden und wird im Folgenden wiedergegeben. Ausgangspunkt dabei ist die zweidimensionale Poisson-Gleichung

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = -\frac{qN_{HL}}{\epsilon_0 \epsilon_{HL}}. \quad (3.34)$$

Darin ist  $\Psi$  das elektrostatische Potential und  $N_{HL}$  die homogene Dotierung des intrinsischen Gebiets im Halbleiter. Der Querschnitt der betrachteten Struktur ist in Abb. 3.8 dargestellt. Zusätzlich sind in der Abbildung die im Folgenden hergeleiteten Beiträge zum Dunkelstrom dargestellt.


$$\frac{d^2 u}{dx^2} - \frac{u}{\lambda_D^2} = -\frac{qN_{HL}}{\epsilon_0 \epsilon_{HL}}. \quad (3.35)$$
$$\lambda_D = \sqrt{t_{Si} \left( \frac{t_{Si}}{2} + \frac{\varepsilon_{HL}}{\varepsilon_{Ox}} t_{Ox} \right)}. \quad (3.36)$$
$$u(x) = \frac{q\lambda_D^2}{\varepsilon_0\varepsilon_{HL}}N_0 + C_1\exp\left(\frac{x}{\lambda_D}\right) + C_2\exp\left(-\frac{x}{\lambda_D}\right), \quad (3.37)$$

wobei die Integrationskonstanten  $C_1$  und  $C_2$  durch Betrachtung der Randbedingungen ermittelt werden.

Bei der Ermittlung der Randbedingungen sind zwei Fälle von Bedeutung, die unvollständige und die vollständige Verarmung des intrinsischen Gebiets. Im ersten Fall, also der unvollständigen Verarmung, sind die Randbedingungen  $u(0)=0$ ,  $u'(L_{RLZ})=0$  und  $u(L_{RLZ})=V$ . Dabei ist  $L_{RLZ}$  die Länge der Raumladungszone, die kleiner als die Länge  $L$  des intrinsischen Gebiets ist,  $u'$  die Ableitung von  $u$  nach  $x$  und  $V_R$  das Potential an der Kathode (vgl. Abb. 3.8). In diesem Fall ist die Lösung der Differentialgleichung

$$u(x) = \frac{q\lambda_D^2}{\varepsilon_0\varepsilon_{HL}} N_{HL} \left( 1 - \frac{\cosh\left(\frac{L_{RLZ}-x}{\lambda_D}\right)}{\cosh\left(\frac{L_{RLZ}}{\lambda_D}\right)} \right). \quad (3.38)$$

Durch Umformung der hyperbolischen Cosinus-Funktion kann die Länge der Raumladungszone  $L_{RLZ}$  als Funktion der Sperrspannung angegeben werden<sup>2</sup>

$$L_{RLZ} = \lambda_D \operatorname{asech} \left( 1 - \frac{\varepsilon_0\varepsilon_{HL}V_R}{q\lambda_D^2 N_{HL}} \right). \quad (3.39)$$

Diese Gleichung wird unmittelbar zur Modellierung des Dunkelstroms verwendet.

Ist das gesamte intrinsische Gebiet verarmt, dann sind die Randbedingungen zur Lösung der Differentialgleichung (3.37)  $u(0)=0$  und  $u(L)=V$ . Dabei ist  $L$  die Länge des intrinsischen Gebiets. Mit diesen Randbedingungen ist die Potentialverteilung an der Oberseite des Si-Films gegeben durch

$$u(x) = \frac{q\lambda_D^2}{\varepsilon_0\varepsilon_{HL}} \left\{ N_{HL} \left( 1 - \frac{\sinh\left(\frac{L-x}{\lambda_D}\right)}{\sinh\left(\frac{L}{\lambda_D}\right)} \right) + \left[ \frac{V\varepsilon_0\varepsilon_{HL}}{q\lambda_D^2} - N_{HL} \right] \frac{\sinh\left(\frac{x}{\lambda_D}\right)}{\sinh\left(\frac{L}{\lambda_D}\right)} \right\}. \quad (3.40)$$

<sup>2</sup> Dabei wird  $u(L_{RLZ})=V_R$  ausgewertet. Weiterhin gilt  $\operatorname{sech}(x)=\cosh^{-1}(x)$ .

Mit der Potentialverteilung an der Oberseite des Films  $u(x)$  kann das elektrostatische Potential  $\Psi(x, y)$  im gesamten intrinsischen Gebiet angegeben werden

$$\Psi(x, y) = \left(1 - \frac{y^2}{2\lambda_D^2}\right) u(x). \quad (3.41)$$

Dabei wird die zuvor durchgeführte Integration in  $y$ -Richtung in Gleichung (3.35) ausgenutzt und  $u(x)$  aus Gleichung (3.38) bzw. (3.40) verwendet. Durch die Potentialverteilung in  $y$ -Richtung kann die Dicke der Raumladungszone in vertikaler Richtung  $t_{RLZ}$  berechnet werden. Die vertikale Ausdehnung der Raumladungszone ist [52]

$$t_{RLZ} = \sqrt{\frac{2\varepsilon_0\varepsilon_{HL}\Delta V_y}{qN_{HL}}}. \quad (3.42)$$

$\Delta V_y$  ist dabei die Potentialdifferenz zwischen der Filmoberseite und der Filmunterseite, die sich nach Gleichung (3.41) in unterschiedlichen Tiefen ( $y$ ) bestimmen lässt.<sup>3</sup> Die Maximale Tiefe der Raumladungszone ist dabei durch die Filmdicke  $t_{Si}$  begrenzt.

### 3.1.5.2 Modellierung des Generationsstroms

In Sperrrichtung betrieben, ist die Anzahl der freien Ladungsträger in der Raumladungszone viel kleiner als die intrinsische Ladungsträgerdichte ( $pn \ll n_i^2$ ) [43]. Deshalb ist der Generationsmechanismus der dominante Term, der zum Dunkelstrom beiträgt. Es können zwei Generationsmechanismen unterschieden werden, die Volumen- und die Oberflächengeneration. Letztere ist im Fall der Dünnschicht SOI-Technologie von besonderer Bedeutung, weil die Raumladungszone unmittelbar an zwei Grenzflächen zwischen Silizium und Siliziumdioxid grenzt.

<sup>3</sup> Eine Austrittsarbeitendifferenz zwischen Back-Gate und Siliziumfilm muss nicht berücksichtigt werden, weil nur das intrinsische Gebiet betrachtet wird. Im gezeigten Fall wird kein pn-Übergang (sondern nur das intrinsische Gebiet mit der Dotierung  $N_{HL}$  und die Potentialdifferenz innerhalb dieses Gebiets) betrachtet, weswegen keine Built-In-Spannung berücksichtigt werden muss.

Der Generationsterm im Volumen kann mit Hilfe einer Generationslebensdauer  $\tau_G$  folgendermaßen beschrieben werden [52]

$$I_{G,V} = \frac{qn_i W_{RLZ} L_{RLZ} t_{RLZ}}{\tau_G}. \quad (3.43)$$

In dieser Gleichung ist  $W_{RLZ}$  die Weite,  $L_{RLZ}$  die Länge und  $t_{RLZ}$  die Tiefe der Raumladungszone. Die Weite erstreckt sich in die Zeichenebene in Abb. 3.8 (nicht dargestellt). Die Generationslebensdauer ist in Gleichung (3.21) gegeben. Die Einfangquerschnitte sowie die energetische Lage der Traps sind für bestimmte Materialien tabelliert. Für Gold, zum Beispiel, beträgt der Abstand zum intrinsischen Fermi-niveau  $E_t - E_i \approx 0$  eV und der Einfangquerschnitt für Elektronen bzw. Löcher ist  $\sigma_n = 8 \times 10^{-21} \text{ m}^{-2}$  bzw.  $\sigma_p = 9 \times 10^{-19} \text{ m}^{-2}$  [53]. Bei einer Annahme einer Trapdichte von  $N_t = 1 \times 10^{13} \text{ cm}^{-3}$  ergibt sich daraus eine Lebensdauer von  $\tau_G = 5,6 \text{ } \mu\text{s}$ .

Analog zur Gleichung (3.43) ergibt sich der Term für die Grenzflächengeneration [52]

$$I_{G,A} = qn_i W_{RLZ} L_{RLZ} s_{REK}, \quad (3.44)$$

wobei hier die Generationsfläche (und nicht das Volumen) relevant ist. Diese Gleichung kann sowohl für die Film-Oberseite als auch die Film-Unterseite verwendet werden (vgl. Abb. 3.8), wobei eine Abhängigkeit von der Länge der Raumladungszone  $L_{RLZ}$  besteht. Anstatt der Lebensdauer wird eine Rekombinationsgeschwindigkeit  $s_{REK}$  verwendet. Tabellierte Werte für die Rekombinationsgeschwindigkeit können nicht verwendet werden, da diese je nach Technologie unterschiedlich ausfallen können. Deshalb wird  $s_{REK}$  als Anpassungsparameter verwendet. Literaturwerte für die Rekombinationsgeschwindigkeit von Si-SiO<sub>2</sub>-Grenzflächen liegen im Bereich von 30 cm/s [54], wobei auch Werte jenseits von 100 cm/s berichtet werden [55].

Aus Gleichung (3.42) geht hervor, dass sich bereits bei relativ kleinen Potentialdifferenzen in  $y$ -Richtung eine vertikale Raumladungszone ausbildet. Dadurch wäre die gesamte (untere) Grenzfläche zwischen Silizium-Film und BOX bereits bei kleinen Sperrspannungen vollständig verarmt. Nach Gleichung (3.44) (mit  $L_{RLZ} = L$ ) wäre der Beitrag dieser Grenzfläche nicht mehr Spannungsabhängig. Jedoch ist sowohl beim realen Bauelement (wie später in Abb. 3.16 gezeigt wird) als auch bei numerischen TCAD-Simulationen (Abb. 3.9) eine Abhängigkeit der Sperrspannung zu sehen. Um diese Abhängigkeit korrekt zu berücksichtigen, ist die Kenntnis des

Quasi-Fermi-Potentials notwendig. Mit Hilfe von TCAD-Simulationen konnte gezeigt werden, dass der Beitrag des Grenzflächengenerationsstroms dann maximal wird, wenn das Quasi-Fermi-Potential an der Grenzfläche zwischen Silizium-Film und BOX größer wird als das elektrostatische Potential. Entsprechend Abb. 3.9 ist das bei einer Sperrspannung von etwa 10 V der Fall. Dazu sind in Abb. 3.10 das numerisch mit TCAD simulierte elektrostatische Potential und das Quasi-Fermi-Potential (für Elektronen) bei Sperrspannungen von 3 V, 6 V, 9 V und 12 V gezeigt. Erst bei 12 V ist das Quasi-Fermi-Potential größer als das elektrostatische Potential.

Das Quasi-Fermi-Potential ist demnach ausschlaggebend für die korrekte Berücksichtigung der Grenzflächengeneration. Dieses kann jedoch nicht analytisch bestimmt werden und wird deshalb im hier verwendeten Modell durch einen Modellparameter angepasst. Die Anpassung erfolgt über eine Referenzspannung  $V_{\text{REF}}$ . Die Grenzflächengeneration an der Unterseite des Si-Films ist dann

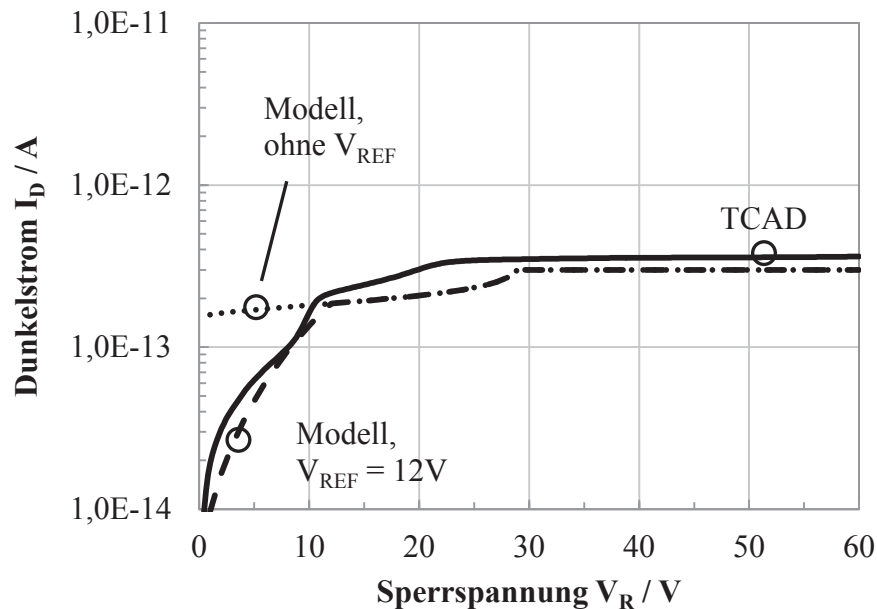


Abb. 3.9: Numerisch (TCAD) und analytisch simulierter (Modell) Dunkelstrom einer 2  $\mu\text{m}$  langen pin-Diode. Die Dotierung des intrinsischen Gebiets ist etwa  $N_D = 9 \times 10^{16} \text{ cm}^{-3}$ . Eine Generationslebensdauer von  $\tau_G = 5,6 \mu\text{s}$  (siehe Beispiel im Text) und eine Rekombinationsgeschwindigkeit von  $s_{\text{REK}} = 75 \text{ cm/s}$  wurden verwendet.  $V_{\text{REF}}$  beträgt 12V und die Temperatur 300 K.



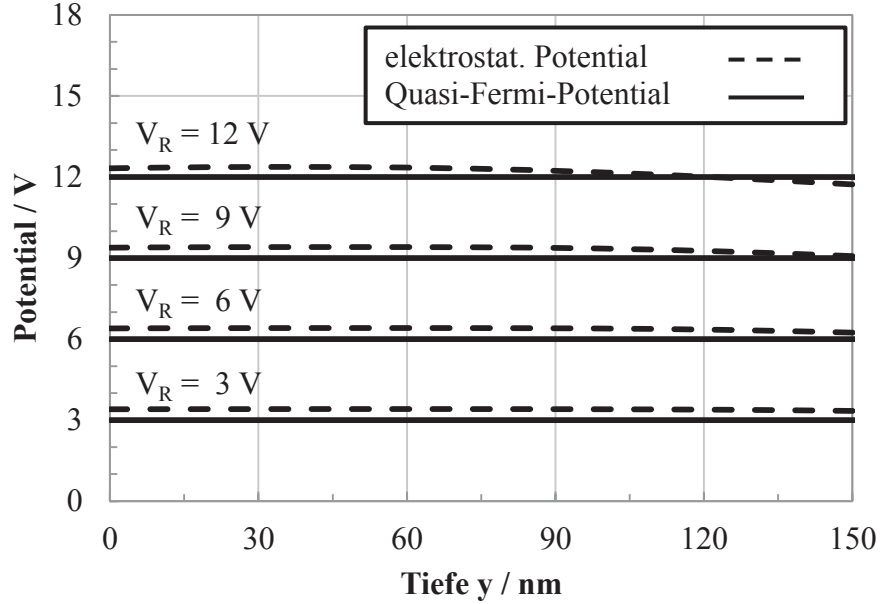


Abb. 3.10: Numerische (TCAD) Simulation des elektrostatischen Potentials und des Quasi-Fermi-Potentials einer 2  $\mu\text{m}$  lange pin-Diode mit einer Dotierung von etwa  $N_{\text{HL}}=9 \times 10^{16} \text{ cm}^{-3}$ . Der Querschnitt entlang der  $y$ -Achse bei  $L=1 \mu\text{m}$  ist gezeigt. Die Sperrspannung  $V_R$  beträgt 3 V, 6 V, 9 V bzw. 12 V.

$$I_{G,A} = qn_i W_{RLZ} L_{RLZ} S_{REK} \cdot \left( \frac{V_R}{V_{REF}} \right)^2 \quad \text{für } V_R \leq V_{REF}, \quad (3.45)$$

$$I_{G,A} = qn_i W_{RLZ} L_{RLZ} S_{REK} \quad \text{für } V_R > V_{REF}.$$

Der Parameter zur Anpassung, die Referenzspannung  $V_{REF}$ , beschreibt physikalisch die Zunahme des Beitrags der Oberflächengeneration an der Film-Unterseite in Abhängigkeit der Sperrspannung  $V_R$ . Sobald die Sperrspannung größer ist als dieser Parameter, ist der Beitrag dieser Grenzfläche zum Generationsstrom maximal. Ein ähnlicher Ansatz, der Unterscheidung zwischen kleinen und großen Sperrspannungen zur Berücksichtigung der Abhängigkeit der Ladungsträgergeneration vom Quasi-Fermi-Potential, findet sich in [56]. Dagegen wird in [57] ein Ansatz nach Gleichung (3.42) verwendet. Dabei ist die Abhängigkeit der Oberflächengeneration von der Sperrspannung, wie hier, quadratisch. Allerdings wird darin für die Oberflächengeneration das verarmte Volumen und nicht die Fläche betrachtet.

Der gesamte Dunkelstrom, ohne Berücksichtigung der Lawinenmultiplikation (diese wird in Abschnitt 3.1.5.3 betrachtet), setzt sich aus der Summe der einzelnen Komponenten zusammen. Diese Komponenten sind der Volumengenerationsstrom, der Grenzflächengenerationsstrom an der Film-Unterseite und der Grenzflächengenerationsstrom an der Film-Oberseite

$$I_D = \frac{qn_i W_{RLZ} L_{RLZ} t_{RLZ}}{\tau_G} + qn_i W_{RLZ} L_{RLZ} S_{REK} + qn_i W_{RLZ} L_{RLZ} S_{REK} \left( \frac{V_R}{V_{REF}} \right)^2 \quad (3.46)$$

Die Abhängigkeit von der Sperrspannung ist dabei durch die Ausdehnung der Raumladungszone gegeben. Der erste Term in dieser Gleichung ist der Volumengenerationsstrom nach Gleichung (3.43), der zweite Term der Grenzflächengenerationsstrom an der Film-Oberseite nach Gleichung (3.44) und der dritte Term der Grenzflächengenerationsstrom an der Film-Unterseite nach Gleichung (3.45). Für den dritten Term gilt die Fallunterscheidung, die in Gleichung (3.45) gegeben ist.

Ein Vergleich von Dunkelströmen einer numerischen Simulation mit TCAD und einer Simulation mit dem Modell nach Gleichung (3.46) ist in Abb. 3.9 dargestellt. Dieser zeigt, dass sowohl der qualitative als auch der quantitative Verlauf des Dunkelstroms durch das entwickelte Modell gut wiedergegeben werden. Der Einfluss des Anpassungsparameters  $V_{REF}$  ist bei Sperrspannungen unter 10 V zu sehen, wo eine deutliche Überschätzung des Dunkelstromes beim nicht-angepassten Modell zu erkennen ist.

Bei  $V_R=12$  V und bei  $V_R$  von etwa 30 V ist jeweils ein Knick beim analytisch simulierten Dunkelstrom zu sehen. Dieser Knick entsteht dadurch, dass das Modell bei diesen Sperrspannungen unterschiedliche Bereichsdefinitionen hat. Im Fall von  $V_R=12$  V ändert sich der Beitrag des Grenzflächengenerationsstroms entsprechend Gleichung (3.45). Bei einer Sperrspannung von etwa 30 V ist der Film vollständig verarmt und die Potentialverteilung  $u(x)$  wird oberhalb dieser Spannung von Gleichung (3.40) beschrieben, während diese unterhalb dieser Spannung von Gleichung (3.38) beschrieben wird.

Die verwendete Rekombinationslebensdauer  $\tau_G=5,6$   $\mu$ s ist im hier gezeigten Beispiel ein pessimistisches Szenario (typische Werte von Silizium liegen in der

Größenordnung von  $\tau_G=100\ \mu\text{s}$  [54] [58], können aber auch in der Größenordnung von  $\tau_G=40\ \text{ns}$  liegen [54]), weil die angenommene Trapdichte mit  $N_t=1\times 10^{13}\ \text{cm}^{-3}$  sehr hoch ist. Dennoch ist der Beitrag aufgrund der Volumengeneration verglichen mit der Grenzflächengeneration vernachlässigbar klein ( $I_{G,V}=7,3\times 10^{-16}\ \text{A}$ ,  $I_{G,A}=4,6\times 10^{-14}\ \text{A}$  bei einer Sperrspannung von 5 V). Deshalb kann die Volumengeneration gegenüber der Grenzflächengeneration vernachlässigt werden, insbesondere, da die aus der Anpassung des Modells bestimmte Grenzflächengeneration mit  $s_{\text{REK}}=75\ \text{cm/s}$  (Abb. 3.9) einen, verglichen mit der Literatur, realistischen Wert annimmt [54] [55].

### 3.1.5.3 Modellierung des Lawinendurchbruchs

Neben der Generation von Ladungsträgern aufgrund von Störstellen (im Volumen oder an der Grenzfläche) hat die Lawinenmultiplikation einen bedeutenden Beitrag zur Generation, wenn die Sperrspannung und damit das elektrische Feld an einem pn-Übergang ansteigen. Mit Hilfe der oben beschriebenen Lösung der Poisson-Gleichung nach [51] kann die Verteilung des elektrischen Feldes in der Raumladungszone angegeben werden. Die Komponenten in  $x$ - und  $y$ -Richtung bzw. das resultierende Gesamtfeld sind gegeben durch [51]

$$E_x(x, y) = -\left(1 - \frac{y^2}{2\lambda_D^2}\right)u'(x), \quad (3.47)$$

$$E_y(x, y) = \frac{y}{\lambda_D^2}u(x),$$

$$E(x, y) = \sqrt{E_x^2 + E_y^2}.$$

Verglichen mit numerischen Berechnungen des elektrischen Feldes ist diese Lösung fehlerbehaftet und es ergeben sich Fehler, die generell in der Größenordnung von 10 bis 20 Prozent liegen [51].

Zur Berechnung des Lawinen-Multiplikationsfaktors ist die Kenntnis der Ionisationskoeffizienten für Elektronen bzw. Löcher notwendig. Die Ionisationskoeffizienten  $\alpha_{e,h}$  können nach dem Modell in [59] berechnet werden

$$\alpha_{e,h}(E) = \alpha_{\infty} \exp\left(-\frac{b}{|E|}\right). \quad (3.48)$$

Darin sind  $\alpha_{\infty}$  und  $b$  Anpassungsparameter und im Fall des Siliziums für Elektronen und Löcher bekannt (vergleiche dazu Abschnitt 4.1.1.4 oder [59]). Unter Verwendung von Gleichung (3.48) ergibt sich im Fall eines Feldes von  $E=4 \times 10^5$  V/cm ein Ionisationskoeffizient für Elektronen von  $\alpha_e=3,2 \times 10^4$  cm<sup>-1</sup>. Bei einem angenommenen Fehler für den Wert des elektrischen Feldes von +20 bzw. -20 Prozent ergeben sich Ionisationskoeffizienten von  $\alpha_e=5,4 \times 10^4$  cm<sup>-1</sup> bzw.  $\alpha_e=1,5 \times 10^4$  cm<sup>-1</sup>. Der Fehler von  $\alpha_e$  liegt also bei etwa 69 bzw. 47 Prozent. Aufgrund dieser großen Unsicherheit ist eine sinnvolle Bestimmung des Multiplikationsfaktors mit dem Modell für das elektrische Feld nach Gleichung (3.47) nicht möglich. Deshalb wird der Multi-

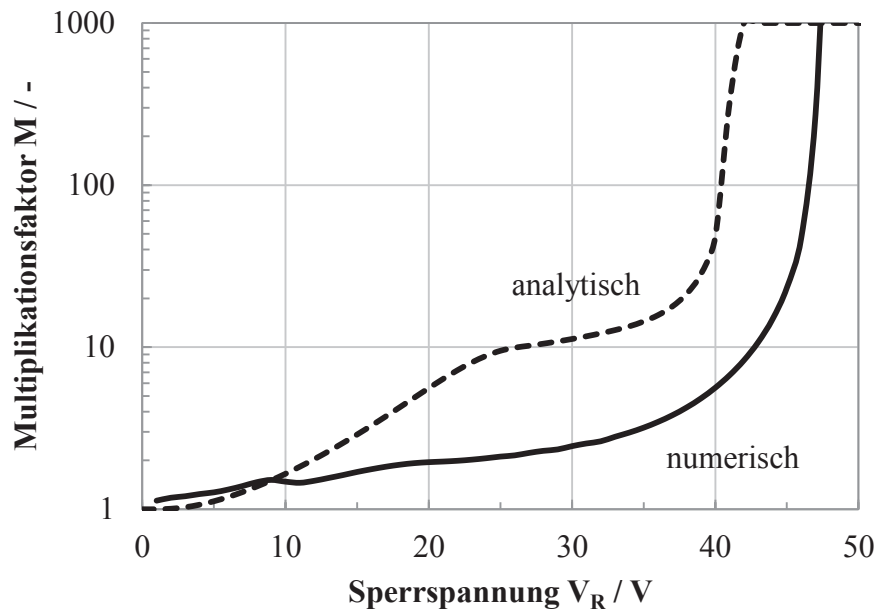


Abb. 3.11: Analytisch und numerisch berechneter Multiplikationsfaktor einer 2  $\mu$ m langen pin-Diode. Die Dotierung des intrinsischen Gebiets ist  $N_{\text{HL}}=9 \times 10^{16}$  cm<sup>-3</sup>. Im analytischen Modell wird zur Berechnung das elektrische Feld an der Filmoberseite ( $y=0$ ) verwendet.

plikationsfaktor im analytischen Modell aus einer numerischen TCAD Simulation ermittelt. Ein Vergleich des analytisch bzw. numerisch ermittelten Multiplikationsfaktors<sup>4</sup> für die selbe Diode wie in Abb. 3.9 und Abb. 3.10 ist in Abb. 3.11 gezeigt. Es ist zu sehen, dass der analytisch berechnete Multiplikationsfaktor beinahe eine Größenordnung größer ist als der numerisch berechnete. Zudem ist die analytische Durchbruchspannung (40 V) etwa 7 V kleiner als die numerisch bestimmte (47 V).

### 3.1.5.4 Modellierung der Temperaturabhängigkeit

In Abschnitt 3.1.2 wurde die Bedeutung der Temperatur in Bezug auf den Generationsstrom von Photodioden herausgestellt. Deshalb ist eine Modellierung der Temperaturabhängigkeit des Dunkelstroms unerlässlich. In dem hier vorgestellten Modell wird die Temperaturabhängigkeit von zwei Parametern berücksichtigt. Diese sind die intrinsische Ladungsträgerdichte  $n_i$  und die Ionisationskoeffizienten für Elektronen und Löcher  $\alpha_{e,h}$ .

Die Temperaturabhängigkeit von  $n_i$  ist in Gleichung (3.17) dargestellt. Zwar ist darin die Bandlücke  $E_G$  temperaturabhängig, jedoch ist deren Temperaturabhängigkeit im betrachteten Temperaturbereich von Raumtemperatur bis 200 °C vernachlässigbar [60] und wird im Modell nicht berücksichtigt. Die Ionisationskoeffizienten werden in Abhängigkeit des elektrischen Feldes mit TCAD numerisch ermittelt. Dabei wird das Modell entsprechend Gleichung (3.48) verwendet. Die Temperaturabhängigkeit dieses Modells wird durch einen Faktor  $\gamma_{AV}(T)$  berücksichtigt [61]

$$\alpha_{e,h}(E) = \gamma_{AV} \alpha_{\infty} \exp\left(-\frac{\gamma_{AV} b}{|E|}\right). \quad (3.49)$$

Dieser Faktor wird durch folgende Gleichung beschrieben [61]

---

<sup>4</sup> Der Multiplikationsfaktor  $M$  berechnet sich aus dem Ionisationsintegral  $II$ . Es gilt  $M=1/(1-II)$  und  $II = \int_0^{L_{RLZ}} \alpha_e \exp\left(-\int_x^{L_{RLZ}} \alpha_e - \alpha_h dx'\right) dx$  [43].

$$\gamma_{AV}(T) = \frac{\tanh\left(\frac{\hbar\omega_{opt}}{2k_B T_0}\right)}{\tanh\left(\frac{\hbar\omega_{opt}}{2k_B T}\right)}. \quad (3.50)$$

Darin ist  $\hbar\omega_{opt}$  die optische Phononenenergie und  $T_0$  die Referenztemperatur.

Zusammenfassend sind in Tab. 3.1 die Parameter angegeben, die zur Berechnung des Dunkelstrom-Modells verwendet werden.

Tab. 3.1: Parameter, die zur Berechnung des Dunkelstrom-Modells verwendet werden.

| Parameter               | Wert                                  | Referenz |
|-------------------------|---------------------------------------|----------|
| $\varepsilon_0$         | $8,854 \times 10^{-12}$ F/m           | [43]     |
| $\varepsilon_{HL}$      | 11,9                                  | [43]     |
| $\varepsilon_{OX}$      | 3,9                                   | [43]     |
| $q$                     | $1,602 \times 10^{-19}$ C             | [43]     |
| $k_B$                   | $1,38 \times 10^{-23}$ J/K            | [43]     |
| $m_{de}$                | $2,99 \times 10^{-31}$ kg             | [43]     |
| $m_{dh}$                | $5,00 \times 10^{-31}$ kg             | [43]     |
| $E_G$ (300 K)           | 1,12 eV                               | [43]     |
| $M_C$                   | 6                                     | [43]     |
| $\sigma_n$              | $8,0 \times 10^{-21}$ m <sup>-2</sup> | [53]     |
| $\sigma_p$              | $9,0 \times 10^{-19}$ m <sup>-2</sup> | [53]     |
| $N_t$                   | $1,0 \times 10^{13}$ cm <sup>-3</sup> | [53]     |
| $E_t - E_i / E_i - E_t$ | $\approx 0$ eV                        | [53]     |
| $\alpha_{\infty,n}$     | $7,030 \times 10^7$ m <sup>-1</sup>   | [59]     |
| $b_n$                   | $1,321 \times 10^8$ V/m               | [59]     |
| $\alpha_{\infty,h1}$    | $1,582 \times 10^8$ m <sup>-1</sup>   | [59]     |
| $b_{h1}$                | $2,036 \times 10^8$ V/m               | [59]     |
| $\alpha_{\infty,h2}$    | $6,710 \times 10^7$ m <sup>-1</sup>   | [59]     |
| $b_{h2}$                | $1,693 \times 10^8$ V/m               | [59]     |
| $\hbar\omega_{opt}$     | $63 \times 10^{-3}$ eV                | [61]     |
| $T_0$                   | 300 K                                 | [43]     |

## 3.2 Methoden zur Photodioden-Charakterisierung

In diesem Abschnitt werden die Verfahren vorgestellt und beschrieben nach denen die Charakterisierung der Photodetektoren durchgeführt wurde. Von den in 3.1.1 genannten Kenngrößen werden hier der Dunkelstrom  $I_D$  und die externe Quanteneffizienz  $\eta_{\text{ext}}$  untersucht. Aufgrund der Zusammenhänge der Kenngrößen können die beiden hier untersuchten verwendet werden, um die anderen direkt zu ermitteln (zum Beispiel die Responsivität aus der Quanteneffizienz nach Gleichung (3.4)) oder geben einen qualitativen Hinweis auf das zu erwartende Verhalten.

### 3.2.1 Elektrische Charakterisierung

Die elektrische Charakterisierung von Photodioden wurde auf Wafer-Ebene durchgeführt. Dazu stehen unterschiedliche Prober-Messplätze am Institut zur Verfügung. Diese Messplätze unterscheiden sich bezüglich ihrer Ausstattung, zum Beispiel durch die Möglichkeit bei unterschiedlichen Temperaturen messen zu können, durch das Auflösungsvermögen von kleinen Strömen oder durch das Anlegen hoher Spannungen. Dennoch ist der generelle Aufbau identisch.

In allen Fällen befindet sich der Wafer-Chuck in einer abgedunkelten Kammer, damit Umgebungslicht die Messergebnisse nicht beeinflussen kann. Der elektrische Kontakt wird über Wolfram-Messspitzen, die an Mikromanipulatoren angebracht sind, hergestellt. Zusätzlich kann über den Wafer-Chuck das Wafer-Substrat global kontaktiert werden. Über Triaxial-Kabel und Durchführungen wird der galvanische Kontakt zwischen den Teststrukturen und den Strom- und Spannungsquellen der Messgeräte hergestellt.

Die Steuerung der Messgeräte erfolgt durch die Software ICS (*interactive characterization software*) vom Hersteller Metrics Technology, die mit den Messgeräten über eine GPIB (*general purpose interface bus*)-Schnittstelle kommuniziert. Damit lassen sich die Messbedingungen (Ströme, Spannungen und das zeitliche Verhalten) definieren und die Kanäle der Messgeräte ansteuern. Die Messdaten werden entweder nach der Messung oder im Verlauf der Messung ausgelesen. Für weitere Analysen können die Daten im ASCII (*american standard code for information interchange*)-Format exportiert werden.

Die Dunkelströme der in dieser Arbeit verwendeten Teststrukturen wurden an zwei Messsystemen ermittelt. Während Messsystem 1 dazu geeignet ist, besonders kleine Ströme bis in den Bereich von 10 fA aufzulösen, ist das Messsystem 2 fähig die Temperatur der Teststrukturen über 200 °C einzustellen. Dadurch lässt sich die Temperaturabhängigkeit der Dunkelströme erfassen.

### 3.2.2 Messung und Simulation der Quanten-Effizienz

Die externe Quanteneffizienz  $\eta_{\text{ext}}$  wird sowohl messtechnisch als auch per Simulation bestimmt. Die dazu verwendeten Methoden werden in diesem Abschnitt erläutert.

#### 3.2.2.1 Messung der Quanteneffizienz

Die Quanteneffizienz wird elektro-optisch ermittelt. Dabei ist das Eingangssignal optisch und das Ausgangssignal elektrisch. Der hier betrachtete Wellenlängen-Bereich erstreckt sich vom ultravioletten (250 nm) bis zum infraroten (1100 nm) Spektrum. Die untere Grenze von 250 nm ergibt sich aufgrund der Absorption der verwendeten Passivierung [62] und die obere Grenze von 1100 nm aufgrund der indirekten Bandlücke von Silizium ( $E_G = 1,12$  eV), die dieser Wellenlänge entspricht (Gleichung (3.1)). Der gesamte Bereich wird auf zwei Messsysteme unterteilt, die unterschiedliche Lichtquellen benutzen. Für den Bereich 250 nm bis 450 nm wird eine Deuterium-Gas-Lichtquelle (LotOriel LSB211) verwendet und für den Bereich 450 nm bis 1100 nm eine Halogen-Lichtquelle (LotOriel LSB123).

Ein schematischer Aufbau beider Messsysteme, die verwendet werden, ist in Abb. 3.12 gezeigt. Ein Monochromator wird verwendet, um die Strahlung der Lichtquellen spektral zu trennen. Über einen Spalt wird das Licht aus dem Monochromator in eine Ulbrichtkugel gekoppelt. Die Ulbrichtkugel sorgt für eine Homogenisierung der Strahlung, was allerdings auf Kosten der Intensität geschieht. Nach dem Austritt der Strahlung aus der Ulbrichtkugel wird diese über ein Linsensystem zur Teststruktur (*device under test*, DUT) geleitet. Die Linsen sorgen für eine homogene Verteilung der Strahlung über die gesamte aktive Fläche des Detektors. Diese



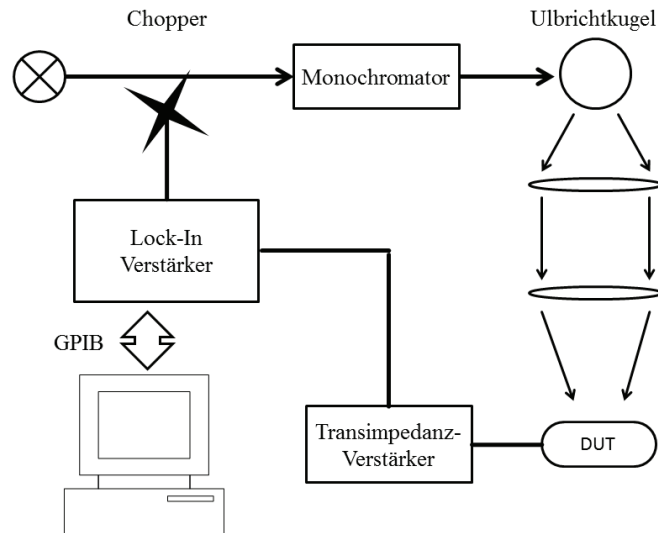


Abb. 3.12: Schematischer Aufbau der Quanteneffizien Messsysteme. Das Lock-In-Prinzip wird verwendet. Das Licht der Lichtquelle wird in einem Monochromator spektral über einen Schlitz ausgekoppelt. In der Ulbricht-Kugel wird eine diffuse, homogene Strahlung erzeugt. Ein Linsensystem sorgt für eine homogene Beleuchtung auf der Teststruktur (DUT). Der Photostrom wird mit einem Transimpedanzverstärker und Lock-In-Verstärker verstärkt. Die Kommunikation zwischen Steuercomputer und Lock-In-Verstärker erfolgt über eine GPIB-Schnittstelle.

Verteilung wurde unter Verwendung eines kommerziellen CCD (*charge coupled device*)-Sensors ermittelt und ist in Abb. 3.13 gezeigt. Die Position der CCD-Zelle ist auf der horizontalen und die relative Intensität auf der vertikalen Achse dargestellt. Jede Kennlinie entspricht dabei einer anderen Wellenlänge. Es wurde in 10 nm-Schritten bei Wellenlängen zwischen 250 nm und 400 nm gemessen. In der Abbildung sind Beispielfall vier Kennlinien gezeigt.

Die Intensität der Strahlung im Bereich zwischen 11 mm und 17 mm sowohl in horizontaler als auch vertikaler Richtung ist nahezu konstant. Zum Rand der Verteilung nimmt die Intensität ab.

Unter Verwendung von Detektoren, deren Geometrie kleiner ist als die homogene Verteilung der Strahlung am Messplatz, und einer Positionierung innerhalb dieser homogenen Verteilung kann deshalb von einer gleichmäßigen Bestrahlung ausgegangen werden.

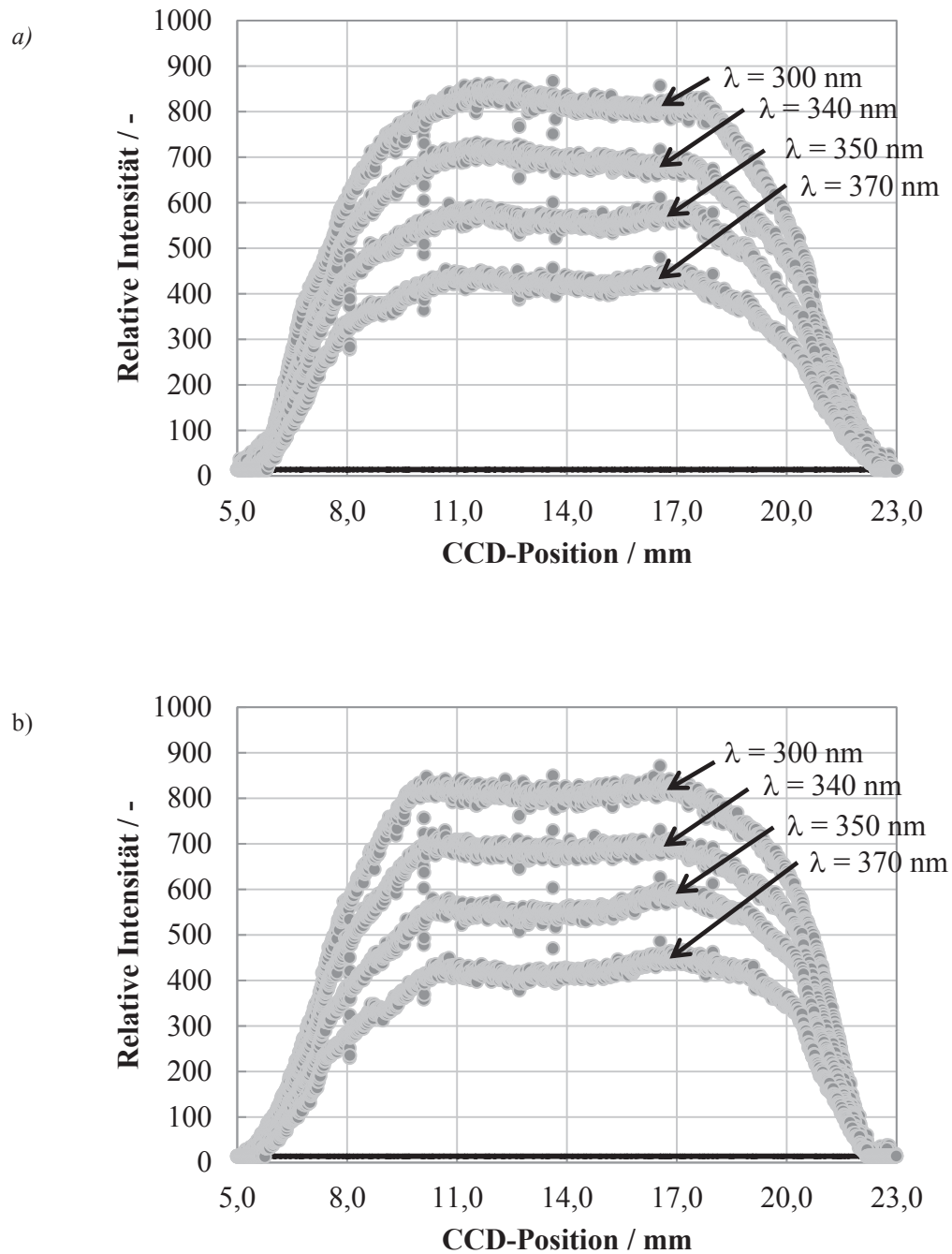


Abb. 3.13: Verteilung der Intensität am Quanteneffizienz-Messplatz für ultraviolette Strahlung in horizontaler a) und vertikaler b) Richtung. Gemessen wurde die Intensität bei Wellenlängen zwischen 250 nm und 400 nm in 10 nm-Schritten. Beispielhaft sind jeweils vier Kennlinien gezeigt.

Da in beiden Messsystemen ein Lock-In-Verstärker zum Einsatz kommt, wird jeweils ein Chopper in den Strahlengang eingebaut. Dieser hat jedoch keinen Einfluss auf die Verteilung der Intensität.

Nachdem die Strahlung auf den Photodetektor trifft und von diesem absorbiert wird, wird der elektrische Teil der Messsysteme aktiv. Dieser setzt sich aus einem Transimpedanzverstärker, einem Lock-In-Verstärker und der Software zur Steuerung der einzelnen Komponenten zusammen.

Der Transimpedanzverstärker sorgt neben dem Lock-In-Prinzip dafür, dass sehr kleine Ströme zuverlässig gemessen werden können. Dieser ist unmittelbar nach der Diode implementiert, um eine möglichst optimale Verstärkung ohne zusätzliche Rauscheinflüsse zu gewährleisten. Das Signal des Transimpedanzverstärkers wird vom Lock-In Verstärker ausgewertet. Das Resultat wird dann mit einem Steuercomputer über eine GPIB-Schnittstelle erfasst und die Quanteneffizienz berechnet.

Damit die Quanteneffizienz berechnet werden kann, wird vor der Messung der Teststruktur ein kommerzieller Referenz-Detektor charakterisiert. Dieser Referenz-Detektor ist kalibriert. Aus seiner bekannten spektralen Responsivität wird die optische Leistung der Strahlung  $P_{\text{opt}}$  unter Verwendung des gemessenen Photostroms  $I_{\text{ph}}$  nach Gleichung (3.4) ermittelt. Die Voraussetzung für die Anwendung der Gleichung ist die Annahme einer homogenen Bestrahlung des Referenz-Detektors sowie der Teststruktur. Der Referenz-Detektor ist quadratisch und hat eine Kantenlänge von 0,5 mm. Deshalb befindet sich dieser innerhalb des homogenen Bestrahlungsbereichs (Abb. 3.13). Die maximale Kantenlänge der untersuchten Teststrukturen beträgt 0,3 mm und liegt somit auch im Rahmen der erlaubten Geometrien.

Schließlich kann bei der Messung der Teststruktur die Responsivität aus der bekannten optischen Leistung und dem gemessenen Photostrom ermittelt werden. Die Responsivität wiederum erlaubt einen Rückschluss auf die Quanteneffizienz  $\eta$ .

### 3.2.2.2 Simulation der Quanteneffizienz

Zur Simulation der Quanteneffizienz wird eine Routine in C++ verwendet [63]. Diese Routine beruht auf der Transfer-Matrix-Methode. Die Methode wird im Folgenden entsprechend [62] wiedergegeben.

Bei der Transfermatrix-Methode wird der Übergang von elektromagnetischer Strahlung von einem Medium mit komplexem Brechungsindex  $n_1$  in ein zweites

Medium mit komplexem Brechungsindex  $n_2$  beschrieben, indem die Randbedingungen für das elektrische und magnetische Feld berücksichtigt werden. Dabei wird ein senkrechter Einfall der Strahlung auf die Grenzfläche beider Materialien angenommen. Dieser Übergang wird durch eine sogenannte Phasenmatrix beschrieben, die sowohl Absorption als auch Phasenverschiebungen berücksichtigt. Betrachtet man also den Übergang von mehr als zwei Medien, so bedeutet das mathematisch ein Anreihen von mehreren Matrizen hintereinander. Diese Methode berücksichtigt auch Mehrfachreflexionen an Schichten und ist somit sehr gut dafür geeignet das BEOL der CMOS-Technologie (siehe Abb. 3.3) zu beschreiben. Neben den komplexen Brechungsindizes der verwendeten Materialien ist die Kenntnis der Schichtendicken notwendig.

Zusätzlich zur Transmission der Strahlung wird in dieser Routine die Absorption im Silizium-Bauelement nicht explizit berücksichtigt. Um das dennoch zu berücksichtigen wird ein Vergleich zwischen einem Stapel inklusive des Siliziums mit einem Stapel ohne Silizium verglichen. Allerdings sei darauf hingewiesen, dass hierbei eine interne Quanteneffizienz von Eins, also ein verlustfreier Transport von Ladungsträgern, angenommen wird. Dies ist beim Vergleich von gemessenen und simulierten Werten zu berücksichtigen.

Der Einfluss der Schichtdickenvariation des BEOL wurde untersucht und die Ergebnisse dieser Untersuchung sind in Abb. 3.14 dargestellt. Die Achsenbeschriftung in der Abbildung wurde auf Kosten einer größeren Darstellung weggelassen. Die horizontale Achse ist dabei die Wellenlänge in Nanometern, die vertikale Achse die dimensionslose externe Quanteneffizienz.

Bei dieser Untersuchung wurden die Schichten  $\text{Si}_3\text{N}_4$ , PSG (obere und untere PSG-Schicht), USG, Siloxan und BPSG in ihrer Dicke um  $\pm 10\%$  variiert. Dabei betrug die Dicke des Silizium-Films 150 nm. Je nach Änderung der optischen Weglänge ist eine Änderung der Quanteneffizienz abhängig von der betrachteten Schicht zu sehen. Unterhalb einer Wellenlänge von etwa 320 nm ist die Änderung der Quanteneffizienz für alle untersuchten Schichtdickenänderungen maximal 4 Prozent. Oberhalb dieser Wellenlänge kann die Quanteneffizienz bis zu 10 Prozent variieren. Das ist insbesondere in b), c) und e) der Fall. Entsprechende Schwankungen der Quanteneffizienz sind deshalb bei realen Bauelementen zu erwarten.

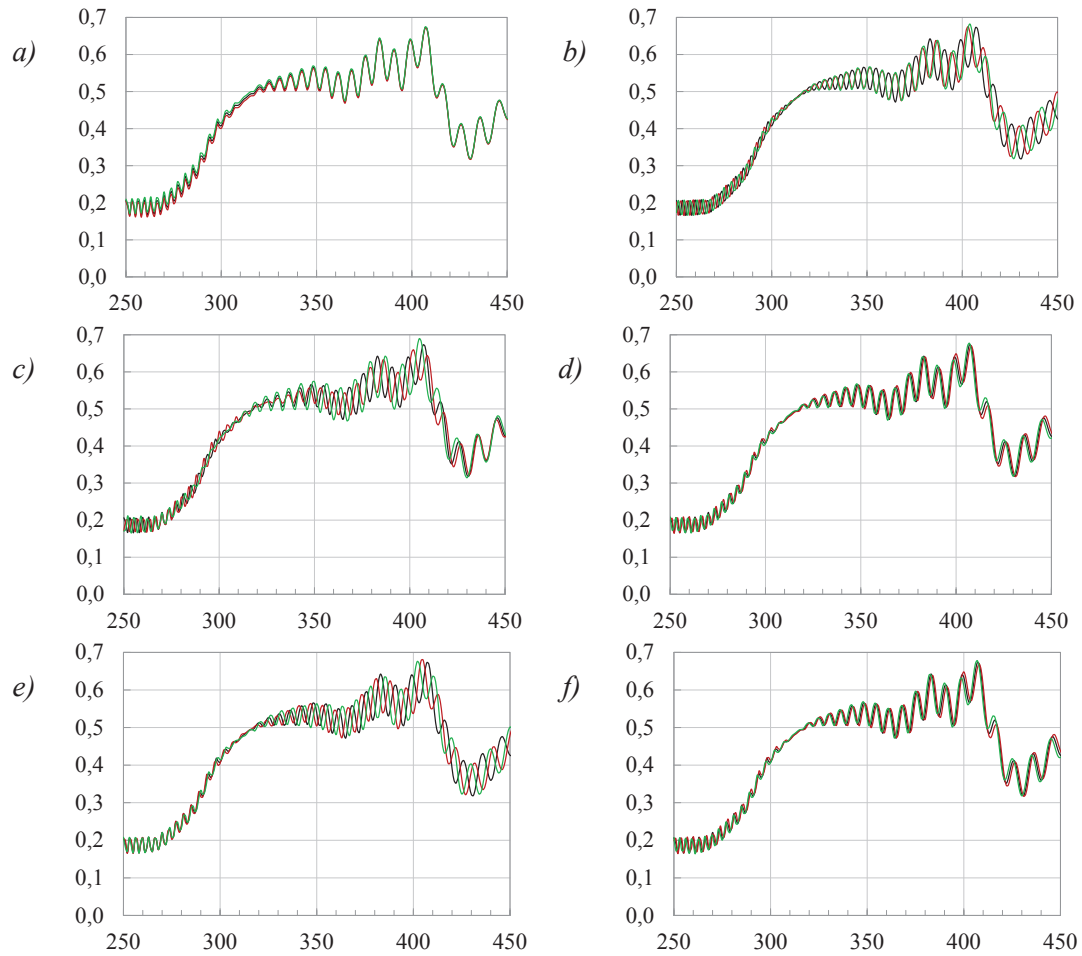


Abb. 3.14: Simulation der externen Quanteneffizienz (vertikale Achse, dimensionslos) in Abhängigkeit der Wellenlänge (horizontale Achse, in Nanometer). Die BEOL-Schichtdicken aus Abb. 3.3 wurden verwendet. Die Schichtdicken der einzelnen Materialien des BEOL (a)  $\text{Si}_3\text{N}_4$ , b) PSG, c) USG (oben), d) Siloxan, e) BPSG und f) USG(unten)) wurden um  $\pm 10\%$  variiert (+10 %: rote Linie, -10 %: grüne Linie) im Vergleich zum nominellen Wert (schwarze Linie). Die Brechungsindizes und Absorptionskoeffizienten wurden [62] entnommen.

### 3.3 Mess- und Simulationsergebnisse

In diesem Abschnitt werden die elektrischen und elektro-optischen Mess- und Simulationsergebnisse an SOI-PIN-Dioden vorgestellt.

#### 3.3.1 Elektrische Charakterisierung

Bei der elektrischen Charakterisierung wird zwischen zwei grundsätzlichen Dioden-Formen unterschieden, der rechteckigen und der runden Diode. Beide Formen lassen sich noch weiter variieren. Jedoch, wie die Messergebnisse unten zeigen werden, sind die runden Form-Varianten zu bevorzugen. Zur Verdeutlichung sind die beiden Formen und zwei Varianten der runden Form in Abb. 3.15 gezeigt.

Die Formen haben in Bezug auf das elektrische und elektro-optische Verhalten Vor- und Nachteile. Die rechteckige Form (a) bietet verglichen zu den anderen die

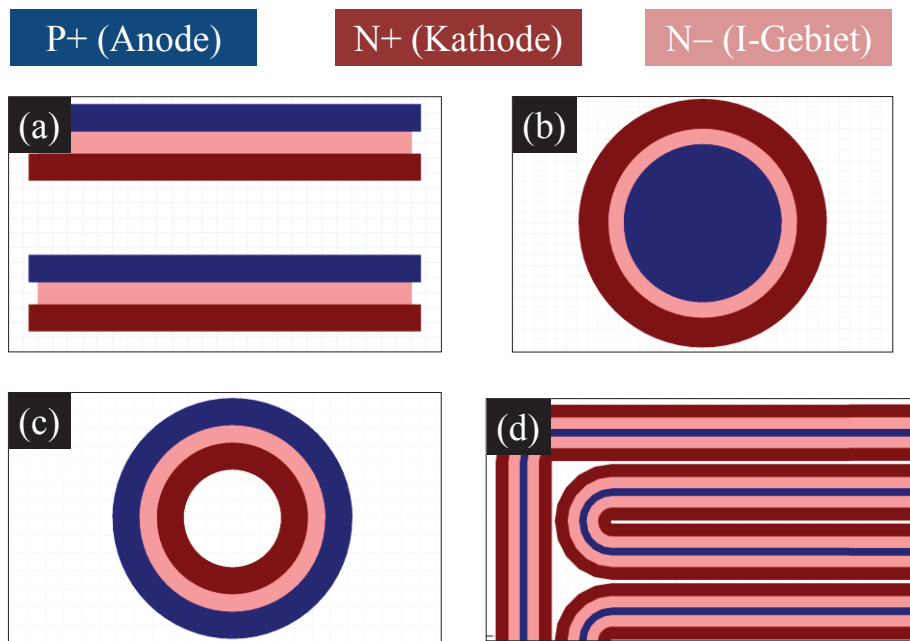


Abb. 3.15: Formen von lateralen SOI-pin-Dioden. Die Grundformen sind rechteckige (a) und runde (b) Dioden. Die runde Form lässt sich weiter in Donut-förmig (c) und Mäander-förmig (d) umsetzen.

beste Ausnutzung der vorhandenen Fläche. Das ist vorteilhaft für einen Photodetektor. Jedoch hat diese Form den Nachteil, dass das aktive Gebiet an einen Bereich von Feldoxid grenzt<sup>5</sup>. Dieser Übergang zwischen aktivem Bereich und Feldoxid ist eine Quelle von Generations- und Rekombinationszentren und verschlechtert die Eigenschaften der pin-Photodiode. Zusätzlich kann an den Ecken ein erhöhtes elektrisches Feld entstehen, was einen erhöhten Leckstrom zur Folge hat und somit eine reduzierte Durchbruch-Spannung.

Im Gegensatz dazu besitzt die runde Form (b) keine Grenzfläche zum Feldoxid und durch die gekrümmte Form des pn-Übergangs, bei einer geeigneten Wahl des Radius, ist die Gefahr einer elektrischen Feldspitze, wie zum Beispiel an einer Ecke, reduziert. Nachteilig an dieser Form ist die schlechtere Ausnutzung der Fläche verglichen mit der rechteckigen Diode.

Die Donut-förmige Variante (c) hat die gleichen Vorteile wie die kreisförmige Form. In beiden Fällen kann die Krümmung des pn-Übergangs durch einen größeren Radius verkleinert und elektrische Feldspitzen reduziert werden. Das geschieht auf Kosten der aktiven Fläche. Durch die Aussparung in der Mitte werden große Bereiche von aktivem Gebiet im Integrationsprozess ausgeschlossen. Zu große zusammenhängende Bereiche können zum Beispiel zum sogenannten *dishing* führen. Dabei besteht die Gefahr, dass sich die Dicke der darüber liegenden Schichten in der Mitte eines solchen Bereichs von denen am Rand stark unterscheidet.

Mit der Mäander-Struktur (d) wird der Kontakt zwischen Aktivgebiet und Feldoxid vermieden, die Ecken dieser Struktur sind abgerundet und die Ausnutzung der Fläche ist besser als bei der runden oder Donut-förmigen Struktur.

### 3.3.1.1 Charakterisierung des Dunkelstroms

Der Dunkelstrom ist ein Maß für die Qualität einer Photodiode. Deshalb wurden SOI pin-Dioden auf ihr Verhalten in Sperrrichtung untersucht.

In Abb. 3.16 ist der Dunkelstrom von drei pin-Dioden mit einer Dotierung des intrinsischen Gebiets von etwa  $9 \times 10^{16} \text{ cm}^{-3}$  dargestellt. Die Dioden haben unter-

---

<sup>5</sup> Das ist in Abb. 3.15 dort der Fall, wo das I-Gebiet unmittelbar an den weißen Hintergrund (nicht an die Anode oder Kathode) grenzt, also nur in (a).

schiedliche Längen  $L_i$  des intrinsischen Gebiets von 1,5  $\mu\text{m}$ , 2,0  $\mu\text{m}$  und 3,0  $\mu\text{m}$ . Der Dunkelstrom wurde auf die Weite  $w_i$  der jeweiligen Diode normiert. Diese beträgt  $w_i=113 \mu\text{m}$  für die  $L_i=1,5 \mu\text{m}$  und  $L_i=2,0 \mu\text{m}$  Dioden und  $w_i=94 \mu\text{m}$  für die  $L_i=3,0 \mu\text{m}$ -Diode. Diese Messungen wurden bei Raumtemperatur (300 K) durchgeführt. Das Potential des Back-Gates beträgt 0 V. Neben der Messung ist eine Simulation des Dunkelstroms nach dem Modell in Abschnitt 3.1.5 dargestellt. Die Simulationsparameter sind in der Bildunterschrift aufgeführt.

Der Verlauf der gemessenen Kennlinien bei Kathoden-Spannungen kleiner 20 V ist sehr ähnlich. Der Dunkelstrom steigt mit zunehmender Sperrspannung an. Das deutet darauf hin, dass die Dioden bei diesen Spannungen noch nicht vollständig verarmt sind. Dabei breitet sich die Raumladungszone immer weiter aus und der Bereich, der zur thermischen Generation von Ladungsträgern beiträgt wird immer

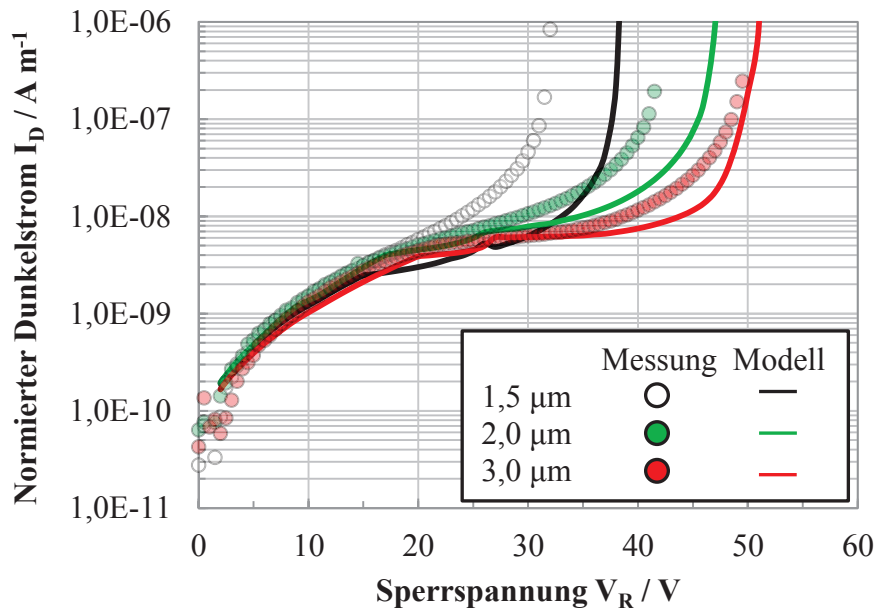


Abb. 3.16: Gemessene und simulierte Dunkelströme von SOI-pin-Dioden. Der intrinsische Bereich der Dioden hat eine Länge von 1,5  $\mu\text{m}$ , 2,0  $\mu\text{m}$  und 3,0  $\mu\text{m}$ . Der Dunkelstrom ist auf die Dioden-Weite normiert. Die Weite beträgt 113  $\mu\text{m}$  für die 1,5  $\mu\text{m}$  und 2,0  $\mu\text{m}$  langen Dioden und 94  $\mu\text{m}$  für die 3,0  $\mu\text{m}$  lange Diode. Für die Simulation wurde neben den Parametern aus Tab. 3.1 eine Dotierung  $N_0=9 \times 10^{16} \text{ cm}^{-3}$ , eine Oberflächen-Rekombinationsgeschwindigkeit von  $s_{\text{REK}}=83 \text{ cm/s}$ . Die Referenz-Spannung beträgt für die 1,5  $\mu\text{m}$ , 2,0  $\mu\text{m}$  bzw. 3,0  $\mu\text{m}$  Diode  $V_{\text{REF}}=15 \text{ V}$ , 17 V bzw. 20 V.



größer, wodurch der Anstieg des Stromes zu erklären ist [18].

Oberhalb von 20 V steigt der Dunkelstrom der 1,5  $\mu\text{m}$  langen Diode schneller an als bei den anderen beiden und diese bricht früher durch. Der Durchbruch findet bei etwa 33 V statt. Die Diode mit  $L_i=3,0 \mu\text{m}$  zeigt bei einer Sperrspannung zwischen 20 V und 25 V einen nahezu konstanten Dunkelstrom. Wie bereits beschrieben ist das Anzeichen dafür, dass in diesem Bereich das gesamte intrinsische Gebiet der Diode verarmt ist. Danach steigt der Dunkelstrom kaum noch mit zunehmender Sperrspannung, bis der Anstieg aufgrund von Lawinen-Multiplikation ab etwa 35 V einsetzt. Bei den beiden Dioden mit  $L_i=1,5 \mu\text{m}$  und  $L_i=2,0 \mu\text{m}$  ist dieses Verhalten weniger stark ausgeprägt da der Übergang von Verarmung bis zum Einsetzen von Lawinenmultiplikation fließend ist.

Diese Längenabhängigkeit des Durchbruchs ergibt sich aufgrund des Back-Gates (Abb. 3.5). Dabei wird das intrinsische Gebiet der Diode nicht nur durch die Sperrspannung sondern auch durch die Spannung am Back-Gate beeinflusst [50]. Deshalb zeigen die hier betrachteten Dioden unterschiedliche Durchbruchspannungen, obwohl aufgrund der Dotierung ein identischer Wert zu erwarten wäre [43]. Die Back-Gate-Abhängigkeit wird in 4.1.1.5 genauer betrachtet.

Bei der Simulation des Dunkelstroms wurde eine Rekombinationsgeschwindigkeit von 83 cm/s verwendet um die Oberflächengeneration zu berücksichtigen. Dieser Wert liegt im Rahmen dessen, was in der Literatur für entsprechende Grenzflächen,  $s_{\text{REK}} \approx 100 \text{ cm/s}$ , berichtet wird [54] [55]. Der gemessene, quantitative Verlauf des Dunkelstroms wird dabei gut wiedergegeben. Die Oberflächengeneration ist der dominante Beitrag zum Dunkelstrom. Für eine Verkleinerung des Dunkelstroms müsste deshalb entweder die Fläche der Diode verringert werden oder die Rekombinationsgeschwindigkeit an der Grenzfläche verringert werden (vgl. Gleichung (3.44)). Eine Verringerung der Diodenfläche wäre für die Detektion von Strahlung kontraproduktiv, da dann weniger Fläche zur Detektion von Photonen zur Verfügung stehen würde. Die Rekombinationsgeschwindigkeit birgt mehr Potential, um den Dunkelstrom zu senken. In der Literatur werden Werte berichtet, die geringer sind als die hier ermittelten 83 cm/s [54]. Deshalb könnte eine angepasste Oxidation des Siliziumfilms zu einer Verringerung von Oberflächenzuständen führen. Das kann zum Beispiel durch eine Hochtemperaturoxidation erreicht werden [64].

Sowohl bei der Referenzspannung  $V_{\text{REF}}$  als auch bei etwa  $V_{\text{R}}=30 \text{ V}$  ist ein scharfer Übergang der simulierten Kennlinien zu sehen. In beiden Fällen ist eine Sätti-

gung eines Beitrags zum Dunkelstrom die Ursache (Oberflächen-Generationsstrom im Fall von  $V_{\text{REF}}$  und vollständige Verarmung des intrinsischen Gebiets bei etwa 25 V), die aufgrund der Quantisierung des Modells bezüglich der Sperrspannung und den Mehrbereichs-Definitionen des Oberflächengenerationsstromes (Gleichung (3.45)) sowie der Weite der Raumladungszone (Gleichung (3.39)) entsteht.

Die Lawinenmultiplikation wurde, wie in Abschnitt 3.1.5 erläutert, mit Hilfe von numerischen Simulationen in TCAD bestimmt. Das Durchbruchverhalten wird am besten bei der längsten Diode wiedergegeben. Hierbei zeigen sowohl Messung als auch Simulation einen Durchbruch bei etwa 50 V. Um quantitativ genauere Ergebnisse zu erlangen müssten die Einstellungen von TCAD an die vorliegende Technologie angepasst werden. Qualitativ wird das Ergebnis der Messung jedoch zufriedenstellend wiedergegeben.

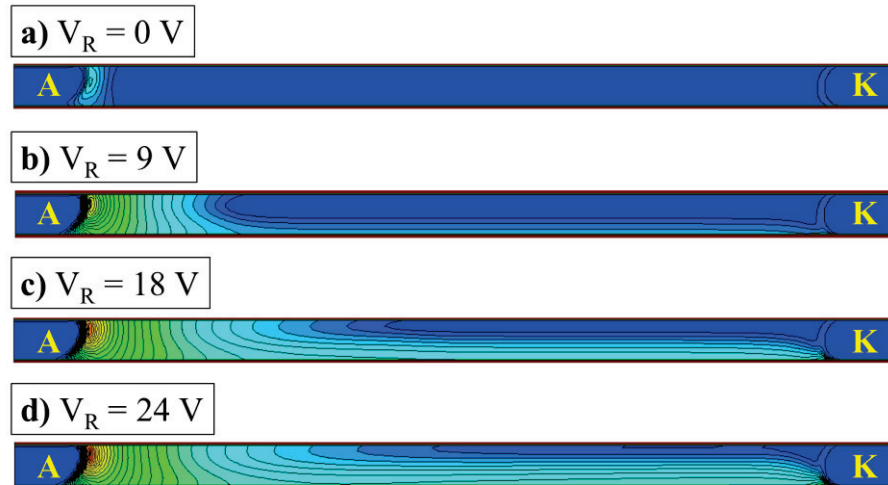


Abb. 3.17: Entstehung der Raumladungszone einer 3,0  $\mu\text{m}$  langen pin-Diode. Dargestellt ist die Verteilung des elektrischen Feldes in Abhängigkeit der Sperrspannung  $V_{\text{R}}$  bei a) 0 V, b) 9 V, c) 18 V und d) 24 V. Nur der aktive Siliziumfilm zwischen dem Siliziumdioxid und dem Back-End-Of-Line ist gezeigt. Die Anode befindet sich auf der linken Seite des Films (A) und die Kathode auf der rechten Seite (K). Dazwischen ist der intrinsische Bereich (nicht separat gekennzeichnet). Mit zunehmender Sperrspannung breitet sich das elektrische Feld, also auch die Raumladungszone, bei der Anode beginnend aus. Bei 24 V ist der intrinsische Bereich nahezu vollständig verarmt.

Die Verarmung einer  $3,0\ \mu\text{m}$  langen Diode ist in Abb. 3.17 veranschaulicht. Zu sehen ist eine TCAD-Simulation der Verteilung des elektrischen Feldes bei unterschiedlichen Sperrspannungen zwischen  $0\ \text{V}$  (a)), und  $24\ \text{V}$  (d)). Es ist zu sehen, dass sich das elektrische Feld (und somit auch die Raumladungszone) mit zunehmender Sperrspannung immer weiter im intrinsischen Bereich zwischen Anode (A) und Kathode (K) ausbreitet. Bei  $24\ \text{V}$  ist nahezu der gesamte intrinsische Bereich verarmt.

Das gemessene Dunkelstromverhalten einer runden und eckigen pin-Dioden mit einer Länge des intrinsischen Gebiets von  $L_i=1,5\ \mu\text{m}$  ist in Abb. 3.18 gezeigt. Dabei wurde der Anteil vom Feldoxid (FOX)-Rand zwischen  $0\ \mu\text{m}$  und  $12\ \mu\text{m}$  variiert. Generell ist der Dunkelstrom der Dioden mit FOX-Rand größer als der Dunkelstrom der Diode ohne FOX-Rand (runde Diode). Zusätzlich steigt der Dunkelstrom mit größerem FOX-Rand, wobei der Unterschied der Dioden mit  $6\ \mu\text{m}$  und  $12\ \mu\text{m}$  FOX-Rand nicht mehr so groß ist wie der Unterschied zwischen den Dioden mit  $3\ \mu\text{m}$  und  $6\ \mu\text{m}$  FOX-Rand.

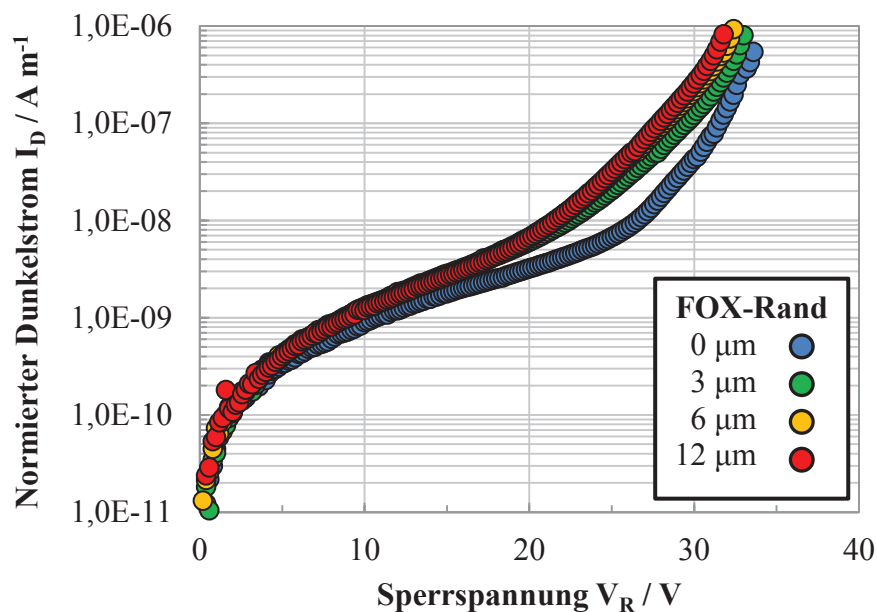


Abb. 3.18: Dunkelstrom einer runden und eckigen pin-Dioden mit intrinsischer Länge  $L_i=1,5\ \mu\text{m}$ . Der Anteil der Grenzfläche zum Feldoxid (FOX) wurde zwischen  $0\ \mu\text{m}$  (runde Diode) und  $12\ \mu\text{m}$  variiert.

Der FOX-Rand bildet sich dort aus, wo der Silizium-Film oxidiert wird um einzelne Bauelemente voneinander zu isolieren. Dazu wird der sogenannte LOCOS (*local oxidation of silicon*)-Prozess verwendet. Bei dieser Oxidation bildet sich eine Spitze im Silizium aus, die aufgrund ihrer Form im Querschnitt betrachtet den Namen *Vogelschnabel* (*Bird's Beak*) trägt. Eine TCAD-Simulation eines solchen Vogelschnabels ist in Abb. 3.19 gezeigt. Dabei wurde ein Querschnitt einer pin-Diode wie in der eingesetzten Abbildung gezeigt simuliert. Der Si-Film befindet sich in der Darstellung auf einem Potential von 30 V und das Back-Gate auf 0 V. Dargestellt ist das elektrische Feld im Bereich  $0 \text{ V cm}^{-1}$  bis  $1 \times 10^6 \text{ V cm}^{-1}$ . Zur Spitze hin herrscht ein vergleichsweise hohes elektrisches Feld. Dieses hohe elektrische Feld verursacht einen zusätzlichen Dunkelstrom. Dieser erhöhte Dunkelstrom wurde bei der Messung in Abb. 3.18 beobachtet.

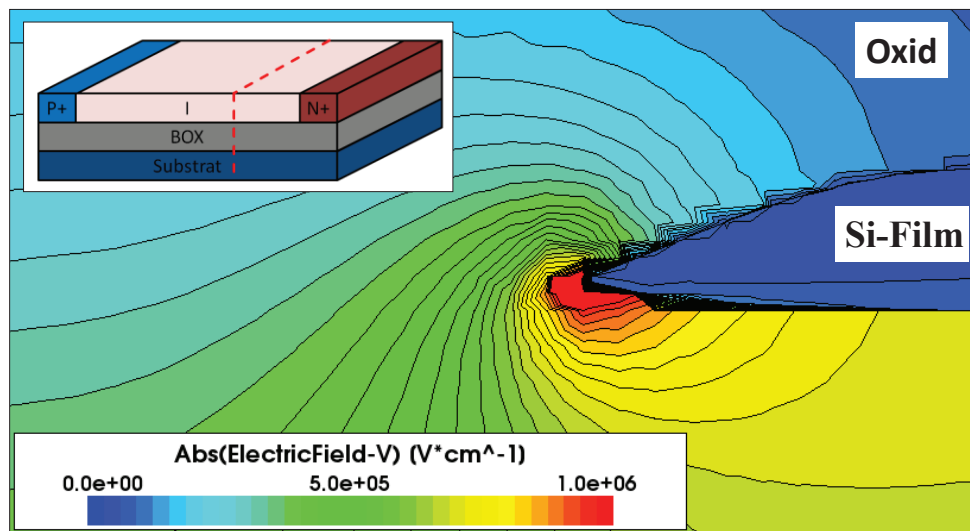


Abb. 3.19: Simulation des *Vogelschnabels* bei einer pin-Diode. Der simulierte Querschnitt ist in der linken oberen Ecke dargestellt. Der Silizium-Film ist auf einem Potential von 30 V, das Substrat auf 0 V. Dargestellt ist der Betrag des elektrischen Feldes im Bereich zwischen  $0 \text{ V cm}^{-1}$  und  $1 \times 10^6 \text{ V cm}^{-1}$ . Zur Spitze des Vogelschnabels herrscht ein vergleichsweise hohes elektrisches Feld.

### 3.3.1.2 Einfluss der Dotierung auf den Dunkelstrom

Bei der Standard CMOS-Technologie lässt sich das Verhalten von Dioden durch unterschiedliche Dotierungen des pn-Übergangs variieren. Das ist bei der SOI CMOS-Technologie auch der Fall. Im Unterschied zur Standard CMOS-Technologie lässt sich das Verhalten von lateralen pin-Dioden gleicher Geometrie auch elektrisch steuern und anpassen. Das erlaubt eine flexible Anwendung von pin-Dioden. Der Einfluss der Dotierung wird elektrisch kompensiert, indem die intrinsische Schicht über das Back-Gate gesteuert wird. Es lassen sich dann die Zustände Verarmung, Akkumulation und Inversion einstellen (vgl. Abb. 3.7). In Abb. 3.20 ist dazu ein Vergleich von Dunkelstrom-Messungen von vier pin-Dioden mit unterschiedlichen Dotierungen des intrinsischen Gebiets gezeigt. Der Dunkelstrom ist auf die Weite normiert. Diese beträgt jeweils  $94\text{ }\mu\text{m}$ . Es ist der Betrag des Dunkelstroms, gemessen an der Kathode, dargestellt. Die Bezeichnung der Dioden, der jeweilige Dotierstoff, die Implantationsdosis sowie die verwendeten Back-Gate-Potentiale sind in Tab. 3.2 zusammengefasst.

Abb. 3.20 stellt dar, dass das generelle Verhalten aller vier Dioden nahezu identisch ist, obwohl die Dotierung des intrinsischen Gebiets unterschiedlich ist. Das wurde durch die Steuerung des Back-Gates erzielt, indem jede Diode bei einer Back-Gate-Spannung betrieben wurde, bei der das gesamte intrinsische Gebiet verarmt wurde (siehe Tab. 3.2). Die Durchbruch-Spannung, die in diesem Fall nur von der Länge abhängt (wie in Abb. 3.16 gezeigt), beträgt etwa 50 V. Die Back-Gate

Tab. 3.2: Bezeichnung, Implantationsdosis des intrinsischen Gebiets und Back-Gate-Potential der Dioden verwendet zur Untersuchung des Dotierungseinflusses des intrinsischen Gebiets.

| Bezeichnung | Dotierstoff | Implantationsdosis<br>in $\text{cm}^{-2}$ | Back-Gate-Potential<br>in V |
|-------------|-------------|---|-----------------------------|
| NDEX        | Phosphor    | $1.4 \times 10^{12}$                      | 0                           |
| DVT         | Phosphor    | $2.0 \times 10^{12}$                      | -10                         |
| PDEX        | Bor         | $2.0 \times 10^{12}$                      | 50                          |
| NVT         | Bor         | $1.6 \times 10^{12}$                      | 30                          |

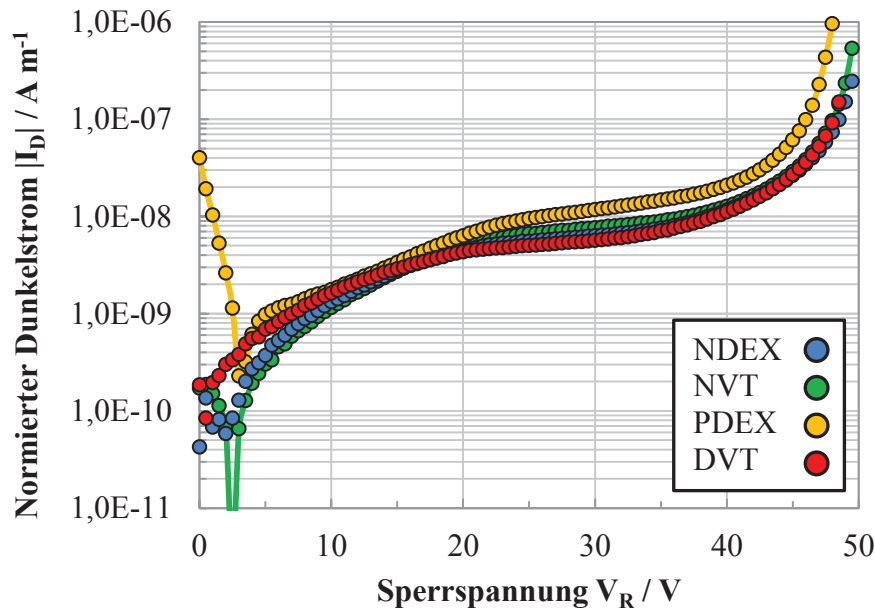


Abb. 3.20: Dunkelstrom-Messung von pin-Dioden mit unterschiedlicher Dotierung des intrinsischen Gebiets. Der Dunkelstrom ist zum Zweck des Vergleichs auf die Weite ( $94\ \mu\text{m}$ ) normiert. Es ist der Betrag des Dunkelstroms dargestellt. Alle Dioden haben eine Länge von  $L_i=3\ \mu\text{m}$ . Das Back-Gate-Potential ist so gewählt, dass jede Diode vollständig verarmt ist.

abhängige Durchbruch-Spannung einer pin-Diode der TF-SOI-Technologie wird in Abschnitt 4.1.1.5 genauer betrachtet. Der Einfachheit halber ist es günstig die Dotierung der pin-Diode so zu wählen, dass keine zusätzliche Back-Gate-Spannung erforderlich ist um die Diode vollständig zu verarmen ( $V_{\text{BG}}=0\ \text{V}$ ). Das ist zum Beispiel bei der NDEX-Diode der Fall. Somit kann das gesamte intrinsische Gebiet als photoaktive Fläche genutzt werden.

Neben diesen Gemeinsamkeiten sind auch Unterschiede der Kennlinien zu erkennen. Ein Vorzeichenwechsel des Stromes, und somit ein negativer Stromfluss an der Kathode, ist bei den Dioden NVT und PDEX bei Sperrspannungen unter  $5\ \text{V}$  zu erkennen. Da der Betrag des Stromes aufgetragen ist, äußert sich das durch einen Knick in der Kennlinie. Um dies zu verdeutlichen, wurden die Daten mit einer Linie hinterlegt. Bei der PDEX-Diode fließt bei  $0\ \text{V}$  an der Kathode ein relativ hoher negativer Strom von etwa  $4\ \text{pA}$ . Bei der NVT-Diode ist der Strom deutlich geringer. Dieses Verhalten entsteht aufgrund des Potentials am Back-Gate der Dioden, welches in beiden Fällen relativ hoch ist. Durch die Potentialdifferenz zwischen Back-

Gate und der Diode entsteht ein Stromfluss zwischen den Elektroden Back-Gate und Kathode.

Dieser Zusammenhang ist in Abb. 3.21 gezeigt, wo das Back-Gate-Potential im Bereich zwischen  $-200\text{ V}$  und  $200\text{ V}$  variiert worden ist und die Ströme an der Anode, der Kathode und dem Back-Gate gemessen wurden.

Im Bereich zwischen etwa  $-120\text{ V}$  und  $40\text{ V}$  liegen die Ströme der Anode und Kathode auf etwa dem gleichen Niveau, das dem Dunkelstrom der Diode entspricht. Oberhalb und unterhalb dieser Back-Gate-Potentiale ist ein Anstieg des Kathodenstromes zu sehen. Gleichzeitig bleibt der Strom an der Anode unverändert. Eine Potentialdifferenz von  $40\text{ V}$  zwischen der Kathode und dem Back-Gate wurde bei den Messungen in Abb. 3.20 überschritten, weshalb der relativ hohe Dunkelstrom an der Kathode, ohne Sperrspannung an der Diode, aufgetreten ist. Da der gemessene Strom zwischen der Kathode und dem Back-Gate fließt, konnte kein Einfluss der Dotierung auf den Dunkelstrom des intrinsischen Gebiets festgestellt werden.

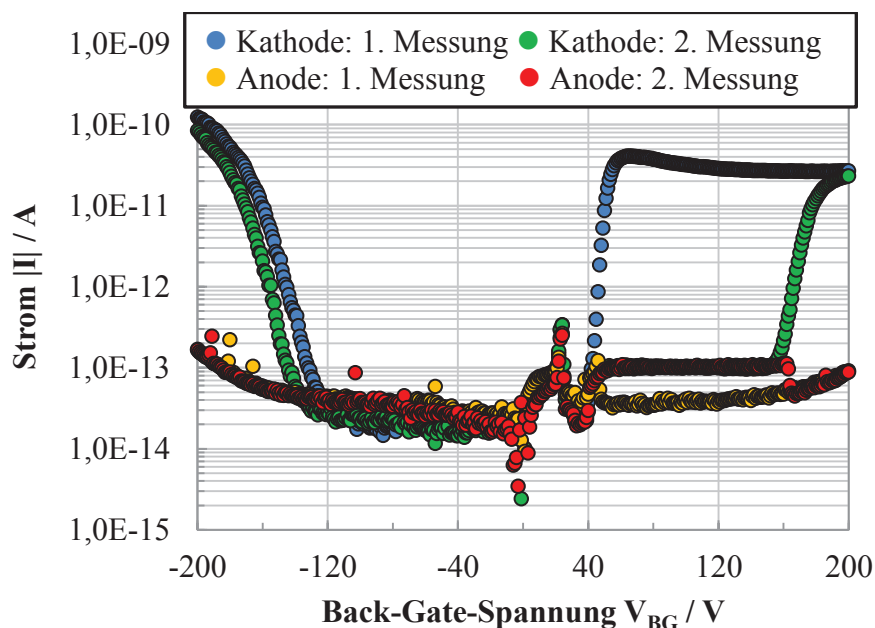


Abb. 3.21: Messung der Back-Gate-Abhängigkeit des Anoden und Kathoden-Stromes. Das Potential des Back-Gates wurde zwischen  $-200\text{ V}$  und  $+200\text{ V}$  variiert während das Potential an Anode und Kathode  $0\text{ V}$  betrug. Bei wiederholter Messung (1. und 2. Messung) ist der Anstieg des Kathoden-Stromes verschoben.

Bei wiederholter Messung (2. Messung, Abb. 3.21) des Dunkelstroms am selben Bauelement ist zu sehen, dass sich die Kennlinie verschiebt. Der Grund für diese Verschiebung ist der Einbau von Ladungsträgern ins  $\text{SiO}_2$  während des Stromflusses über das Gate oder die Erzeugung von Oberflächen- bzw. Oxid-Schäden. Diese Phänomene werden in Kapitel 4 genauer untersucht.

Im hier gezeigten Beispiel werden Elektron-Loch-Paare, die in der Raumladungszone des Silizium-Film erzeugt werden (zum Beispiel thermisch), zur Grenzfläche des vergrabenen Oxids beschleunigt. Diese nehmen dann aufgrund der hohen Potentialdifferenz zwischen Kathode und dem Back-Gate ausreichend kinetische Energie auf, so dass sie die Barriere zwischen Silizium und Siliziumdioxid überwinden. Dadurch kommt der beobachtete Stromfluss zu Stande [65].

### 3.3.1.3 Einfluss der Temperatur auf den Dunkelstrom

Für die Standard CMOS-Technologie liegt die maximale Betriebstemperatur bei 125 °C bzw. 150 °C. Diese kann unter Verwendung der SOI CMOS-Technologie bis zu 200 °C erhöht werden [66] oder auch über 250 °C [60]. Da der Dunkelstrom einer Photodiode mit steigender Temperatur ansteigt, (vgl. Abschnitt 3.1.5) ist die Kenntnis dieses Stromes von großer Bedeutung. Ein durch einfallende Strahlung erzeugtes Signal, das geringer ist als der Dunkelstrom, kann nicht detektiert werden. Ebenso kann kein Signal detektiert werden, wenn die thermische Energie ( $E_{\text{th}}=k_B T$ ) größer ist als die Energie eines Photons ( $E_{\text{ph}}=hc_0/\lambda$ ) [43].

Der Einfluss der Temperatur auf den Dunkelstrom wurde in 3.1.2 dargestellt. Ein Modell zur Beschreibung der Temperaturabhängigkeit des Dunkelstroms für eine SOI CMOS pin-Diode wurde in 3.1.5 entwickelt. Dazu ist hier eine Messung und Simulation des Dunkelstroms in Abb. 3.22 gezeigt. Dargestellt sind die Dunkelströme von drei Dioden in Abhängigkeit der Sperrspannung und der Temperatur. Es wurde bei Temperaturen von 27, 50, 75, 100, 125, 150, 175 und 200 °C gemessen und simuliert. Die Ströme sind normiert auf die Fläche. Für die Normierung wurde die optisch aktive Fläche verwendet (a):  $200 \times 10^{-12} \text{ m}^2$ , b):  $79 \times 10^{-12} \text{ m}^2$ , c):  $311 \times 10^{-12} \text{ m}^2$ ). Weiterhin wurde zum Vergleichszweck auch die Sperrspannung auf die Durchbruchspannung bei der Temperatur von 200 °C von (a): 42,5 V, b): 26,5 V, c): 54,0 V) normiert.



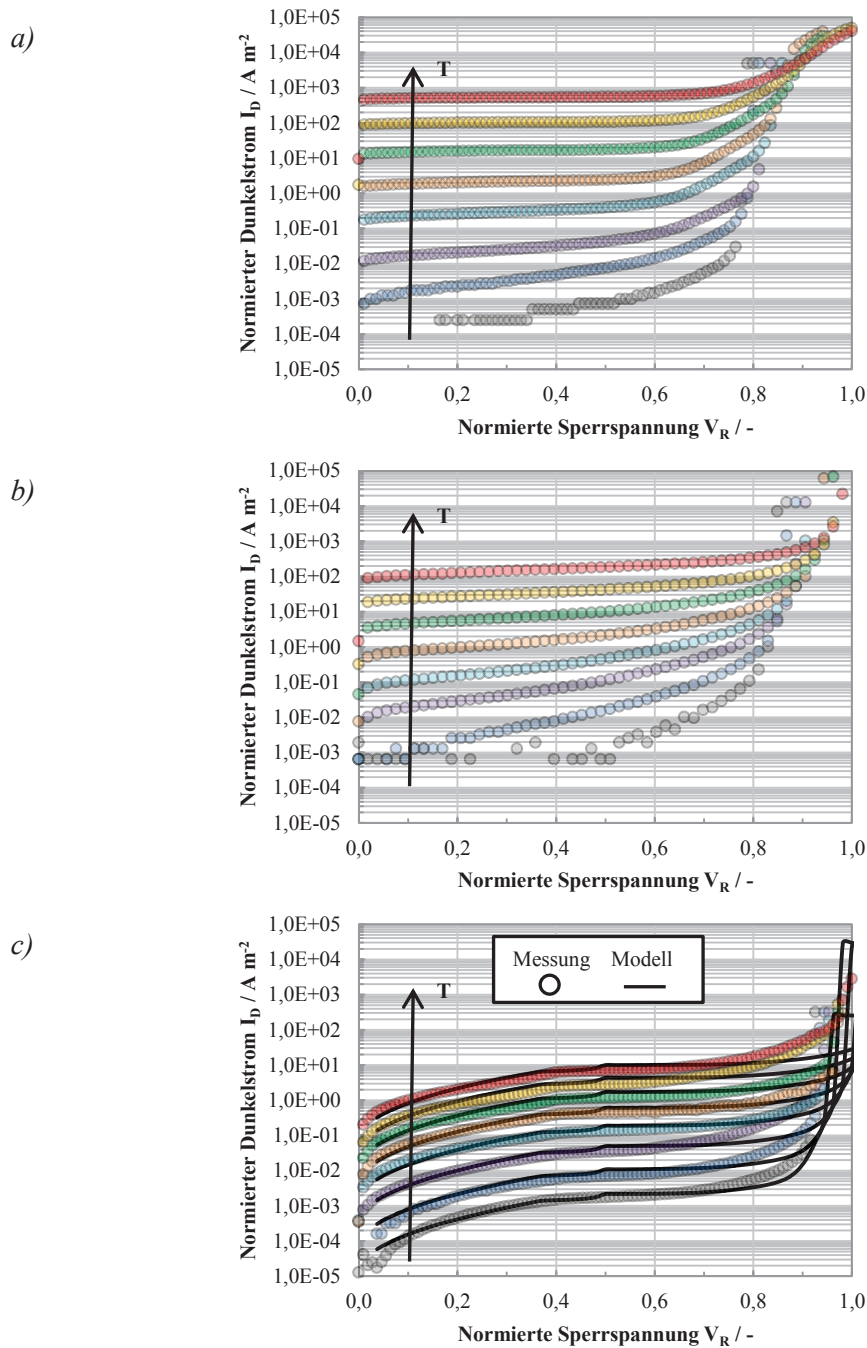


Abb. 3.22: Gemessener Dunkelstroms von Bulk- und SOI-Dioden als Funktion der Temperatur bei 27, 50, 75, 100, 125, 150, 175 und 200 °C. Der Dunkelstrom einer Standard CMOS Wannen-Diode a) und einer isolierten P+-Diode b) sowie einer pin-Diode der SOI CMOS-Technologie c) ist dargestellt. Ein Querschnitt der Standard CMOS-Dioden findet sich in Abb. 3.23. Für die pin-Diode c) wurde der Dunkelstrom mit Hilfe des Modells aus Abschnitt 3.1.5 und den Parametern aus Abb. 3.16 (für die 3,0  $\mu\text{m}$  lange pin-Diode) simuliert.

In a) und b) sind die temperaturabhängigen Dunkelströme von Standard CMOS-Dioden gezeigt, in c) der Dunkelstrom einer pin-Diode der SOI CMOS-Technologie. In a) handelt es sich um eine Wannen-Diode (deren Querschnitt in Abb. 3.23, rechts dargestellt ist) und in b) um eine isolierte P+-Diode (deren Querschnitt in Abb. 3.23 links dargestellt ist). Die P+-Diode ist der SOI pin-Diode ähnlich, weil diese durch die n-Wanne vom Substrat isoliert ist. Bei der SOI pin-Diode ist die Isolation durch das vergrabene Oxid gegeben.

Verglichen mit der pin-Diode der SOI CMOS-Technologie liegen die Dunkelströme der Dioden der Standard CMOS-Technologie bei geringen Temperaturen in

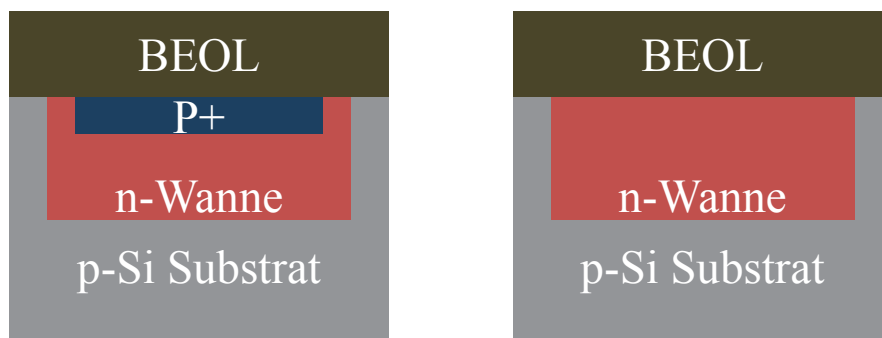


Abb. 3.23: Querschnitt von Photodioden der Standard CMOS-Technologie, die bei der Messung des Dunkelstroms eingesetzt wurden. Das BEOL ist vereinfacht als ein Komplex dargestellt. Bei der linken Diode schützt eine hoch dotierte P+-Schicht an der Oberfläche diese Diode gegen Oberflächengeneration.

derselben Größenordnung. Mit zunehmender Temperatur steigt der Dunkelstrom der Standard-Dioden deutlich stärker an. Dieser Unterschied erklärt sich durch das Volumen der jeweiligen Diode, in dem Ladungsträgergeneration stattfinden kann<sup>6</sup>. Bei der Wannen-Diode in a) besteht der unmittelbare Kontakt zum Substrat. Dadurch trägt die gesamte nähere Umgebung der Wanne zur Generation vom Dunkelstrom

<sup>6</sup> Der Vergleich hier ist dann gerechtfertigt, wenn die Dioden als Photodetektor für kurzwellige Strahlung ( $\lambda < 400$  nm) eingesetzt werden sollen. Andernfalls wären die Standard CMOS-Dioden im Vorteil, weil dann die Eindringtiefe der Strahlung die Film-Dicke der SOI pin-Diode übersteigt und diese geringe Filmstärke in eine vergleichsweise schlechte Quanteneffizienz resultieren würde.

bei. Das Volumen der isolierten P+-Diode b) ist durch die Wanne, in der sich diese befindet, begrenzt. Dabei entkoppelt die Wanne diese Diode vom Substrat. Die pin-Diode c) weist lediglich die geringe Dicke des Silizium-Films (siehe Abb. 3.1) als Generationsvolumen auf. Durch dieses kleine Volumen ist der Dunkelstrom begrenzt [9] [66].

Die Simulation des Dunkelstroms der pin-Diode in Abb. 3.22 c) wurde mit Hilfe des Modells aus Abschnitt 3.1.5 durchgeführt. Es wurden dieselben Parameter, wie in Abb. 3.16 (für die 3,0  $\mu\text{m}$  lange Diode) angegeben, verwendet. Die Übereinstimmung zwischen Messung und Modell bezüglich der Quantität des Dunkelstroms ist im gesamten Temperaturbereich sehr gut, wobei die Temperaturabhängigkeit über die intrinsische Ladungsträgerdichte  $n_i$  nach Gleichung (3.22) beschrieben wird. Der dominante Beitrag zum Dunkelstrom ist der Oberflächengenerationsstrom.

In Abb. 3.24 ist der Dunkelstrom der drei Dioden im Arrhenius-Diagramm dargestellt. Aus der Steigung der Kennlinien kann die Aktivierungsenergie für den Anstieg des Dunkelstroms ermittelt werden. Da der Diffusions- bzw. Generationsterm unterschiedliche Temperaturabhängigkeiten aufweisen (Gleichungen (3.19) bzw. (3.22)), kann auf diese Weise der relative Einfluss des Diffusions- bzw. Generationsmechanismus ermittelt werden. Die Bestimmungsgleichung dafür ist

$$E_{AKT} = S_{ARRH} \cdot F_{ARRH} \cdot \frac{k_B}{q}. \quad (3.51)$$

Darin ist  $E_{AKT}$  die Aktivierungsenergie,  $S_{ARRH}$  die Steigung aus dem Diagramm und  $F_{ARRH}$  ein Faktor. Der Faktor  $F_{ARRH}$  ergibt sich aus den Gleichungen (3.19) bzw. (3.21) und ist im Fall des Diffusionsstroms  $F_{ARRH}=1$  und im Fall des Generationsstroms  $F_{ARRH}=2$ , da die Proportionalität zur Bandlücke  $E_G$  bzw.  $E_G/2$  beträgt.

Gleichung (3.51) wurde auf die Kennlinien in Abb. 3.24 angewendet. Im Fall der Standard CMOS Dioden in a) und b) ist zu sehen, dass sich zwei Bereiche im Diagramm trennen lassen, die unterschiedlichen Steigungen besitzen. Für Temperaturen bis 100 °C wurde Gleichung (3.51) mit dem Faktor  $F_{ARRH}=2$  verwendet, um die Aktivierungsenergie zu bestimmen für die Temperaturen darüber der Faktor  $F_{ARRH}=1$ . Bei etwa 100 °C beginnt in der Standard CMOS-Technologie der Diffusionsmechanismus zu dominieren [46]. Die ermittelten Aktivierungsenergien sind in der Abbildung gezeigt.

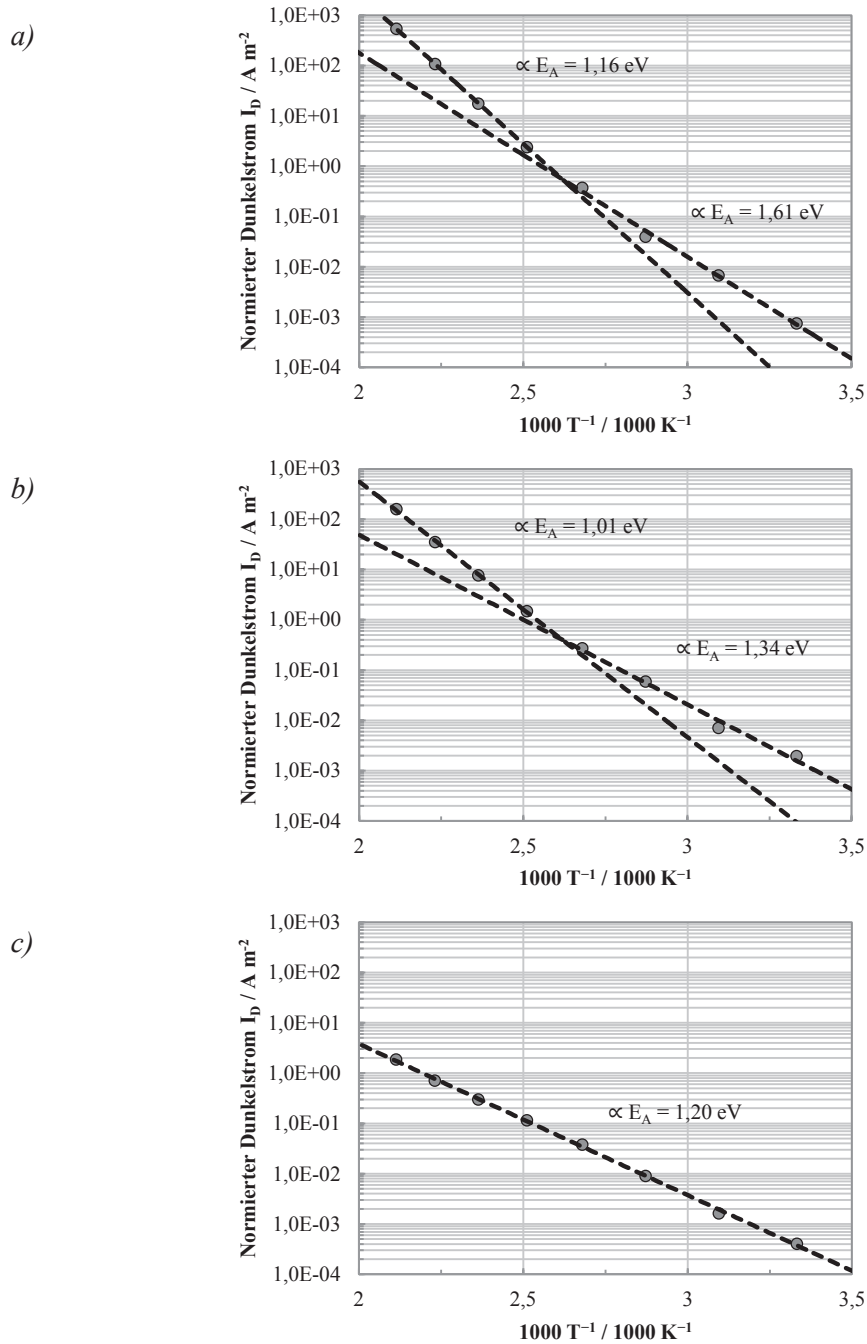


Abb. 3.24: Temperaturabhängigkeit des Dunkelstroms im Arrhenius-Diagramm. Der Dunkelstrom einer Standard CMOS Wannen-Diode a), einer isolierten P+ Standard CMOS Diode b) und einer pin-Diode der SOI CMOS-Technologie c) ist dargestellt.

Die erwartete Aktivierungsenergie für alle drei Dioden sollte im Bereich der Bandlücke von Silizium liegen. Diese ist  $E_G=1,12$  eV.

Im Fall der Wannen-Diode a) betragen die Aktivierungsenergien  $E_A=1,61$  eV bei niedrigen Temperaturen und  $E_A=1,16$  eV bei hohen Temperaturen. Während die Aktivierungsenergie bei hoher Temperatur recht gut mit der erwarteten Bandlücke  $E_G=1,12$  eV von Silizium übereinstimmt, ist die Energie bei niedrigen Temperaturen deutlich zu hoch.

Bei der isolierten Diode in Abb. 3.24, b) weichen die Aktivierungsenergien sowohl bei niedriger ( $E_A=1,01$  eV) als auch bei hoher Temperatur ( $E_A=1,34$  eV) von dem erwarteten Wert der Bandlücke ab.

In beiden Fällen (Wannen-Diode a) und isolierte P+-Diode b)) scheint ein zusätzlicher Mechanismus eine Auswirkung auf die Temperaturabhängigkeit zu haben. Die exponentielle Abhängigkeit des Diffusions- bzw. Generations-Stroms ist nicht die einzige Temperaturabhängigkeit, wie in den Gleichungen (3.19) bzw. (3.22) gezeigt. Es existiert noch ein Vorfaktor, bei dem die Temperatur potenziert wird. Im Fall des Generationsstroms sorgt dieser dafür, dass die Aktivierungsenergie auf 1,22 eV ansteigt und im Fall der Diffusion auf einen Wert von 1,24 eV. Allerdings ist diese nicht die einzige Erklärung für die gemessenen Werte. Weiterhin könnten Defekte an der Oberfläche (also der Grenzfläche zwischen Silizium und Feldoxid) für zusätzliche Generation von Ladungen sorgen, die eine andere Temperaturabhängigkeit aufweisen. Dafür spricht zum Beispiel die deutlich erhöhte Aktivierungsenergie beider Dioden, die jedoch bei der isolierten P+-Diode vergleichsweise geringer ist. Diese hat eine bessere Abschirmung von der Oberfläche aufgrund der P+-Schicht und zeigt möglicherweise deswegen die geringere Abhängigkeit.

Die pin-Diode der SOI CMOS-Technologie in Abb. 3.24, c) zeigt im Gegensatz zu den Dioden der Standard CMOS-Technologie, im gesamten untersuchten Temperaturbereich, eine einzige Aktivierungsenergie von  $E_A=1,20$  eV. Die Wert kann mit Gleichung (3.51) ermittelt werden mit dem Faktor  $F_{ARRH}=1$ , also für den dominanten Einfluss des Generationsterms. Insbesondere ist die Übereinstimmung mit dem Wert unter Berücksichtigung des Vorfaktors der Temperaturabhängigkeit (1,22 eV) recht gut.

Aufgrund der Isolation des Silizium-Films vom Rest des Substrats kann in der vorliegenden SOI CMOS-Technologie, unter der Annahme von vollständiger Verarmung, nahezu kein Diffusionsstrom entstehen [46]. Dadurch entspricht die Proporti-

onalität des Dunkelstromes der des Generationsstroms. Das wurde mit Hilfe eines Modells für den Dunkelstrom der pin-Diode demonstriert. Mit einer Rekombinationsgeschwindigkeit von  $s_{\text{REK}}=83 \text{ cm/s}$  und der Temperaturabhängigkeit der intrinsischen Ladungsträgerdichte  $n_i$  nach Gleichung (3.17) konnte die gemessene Temperaturabhängigkeit quantitativ nachgewiesen werden. Da die Zunahme des Generationsstroms mit der Temperatur geringer ist als die Zunahme des Diffusionsstroms, hat die SOI CMOS-Technologie in dieser Hinsicht einen Vorteil gegenüber der Standard-Technologie. Das ist besonders von Bedeutung für Photodioden, die bei hohen Temperaturen eingesetzt werden sollen. Im Fall der vorliegenden SOI CMOS-Technologie können Detektoren bei Temperaturen eingesetzt werden, die bei der Standard CMOS-Technologie aufgrund des hohen Dunkelstroms nicht realisierbar wären, weil zum Beispiel die Rauschäquivalente Signalleistung nicht mehr ausreichen würde, um das Rauschen des Dunkelstroms zu übertreffen (Gleichung (3.12)). Ein Anwendungsbeispiel, die Temperaturen jenseits der  $100 \text{ °C}$  benötigen, sind Gas-Sensoren [10] [15]. Bei Ölbohrungen werden Temperaturen über  $170 \text{ °C}$  erreicht [67].

Obwohl im hier gezeigten Temperaturbereich (bis  $200 \text{ °C}$ ) der Dunkelstrom der SOI pin-Diode vom Generationsterm dominiert wird, muss beachtet werden, dass dieses Verhalten auch eine Grenze besitzt. Diese Grenze ist dann erreicht, wenn der Silizium-Film nicht mehr vollständig verarmt ist. Dann dominiert wiederum der Diffusionsstrom den Dunkelstrom der Diode [46] und somit dessen Temperaturabhängigkeit.

### 3.3.2 Optische Charakterisierung

Die Einflüsse auf das optische Verhalten von Photodioden ergeben sich einerseits aus dem BEOL und andererseits aus der absorbierenden Silizium-Schicht. In der vorliegenden Technologie ist letztere durch den Silizium-Film (Abb. 3.3) definiert, der entweder  $120 \text{ nm}$  ( $1,0 \text{ }\mu\text{m}$  SOI CMOS-Technologie) oder  $150 \text{ nm}$  ( $0,35 \text{ }\mu\text{m}$  SOI CMOS-Technologie) dick ist. Das BEOL ist in beiden Fällen nahezu<sup>7</sup> identisch.

---

<sup>7</sup> Es gibt zwar Unterschiede in den Dicken der USG-Schichten in Abb. 3.3, jedoch sind diese so gering, dass sie im Rahmen der ohnehin vorhandenen prozessbedingten Schwankungen der Schichtdicken nicht ins Gewicht fallen.

Die Transmission des BEOL, speziell die des Siliziumnitrids, wurde mit Hilfe eines kommerziell erhältlichen Spektrometers vom Hersteller Jesco (Modell FP-8500) gemessen. Das Messergebnis ist in Abb. 3.25 gezeigt [68].

In der Abbildung dargestellt ist die Transmission des Messsystems, die Transmission der Referenz-Probe, die eine Quarzglas-Scheibe ist, und die Transmission der Quarz-Probe inklusive dem darauf abgeschiedenen Siliziumnitrid dargestellt. Wie zu erwarten und hier zu Referenzzwecken dargestellt, ist die Transmission des

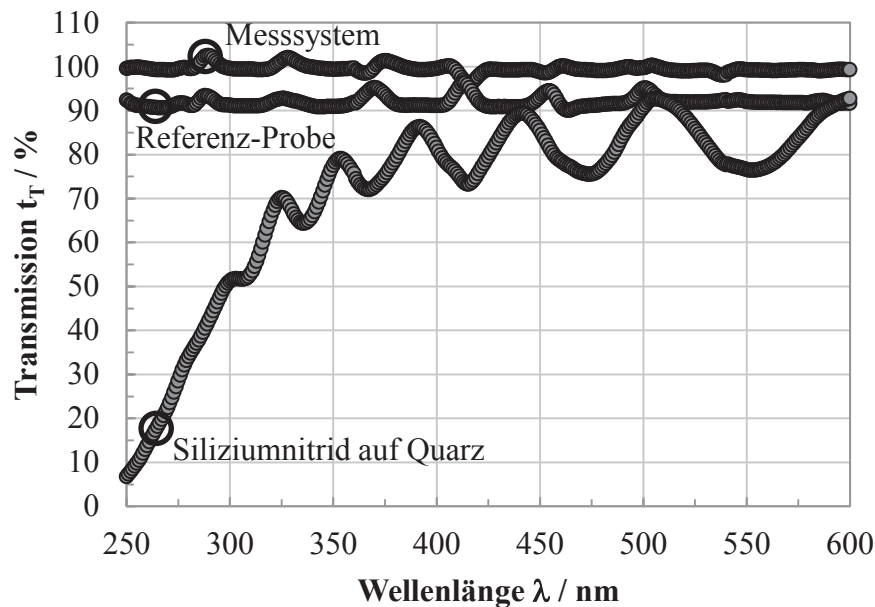


Abb. 3.25: Gemessene Transmission des Messsystems, einer Referenzprobe und einer Quarz-Probe mit Siliziumnitrid [68].

Messsystems 100 Prozent. Abweichungen, die weniger als 5 Prozent betragen, sind bei bestimmten Wellenlängen zu sehen (zum Beispiel 290 nm, 325 nm, 370 nm, 420 nm). Die Referenzprobe ist ein Quarzglas. Dieses zeigt eine gleichmäßige Transmission im betrachteten Wellenlängenspektrum. Das Maximum der Transmission liegt bei etwa 92 Prozent.

Im Fall der Quarz-Probe befindet sich zusätzlich noch eine SiN (Siliziumnitrid)-Schicht auf dem Material. Aufgrund dieser Schicht finden Mehrfachreflexionen der Strahlung beim Durchqueren der Probe statt. Deshalb sind die typischen

Oszillationen der entsprechenden Kennlinie zu beobachten, die das Resultat von Interferenzeffekten sind. Es ist darüber hinaus eine Abnahme der Transmission bei Wellenlängen unterhalb 350 nm zu beobachten, weil das SiN in diesem Bereich absorbiert [62].

Diese Transmission des Siliziumnitrids und die Dicke des Siliziumfilms bestimmen die erreichbare Quanteneffizienz für die vorliegende SOI CMOS-Technologie. Nach der Methode beschrieben in 3.2.2.2 wurde die Quanteneffizienz

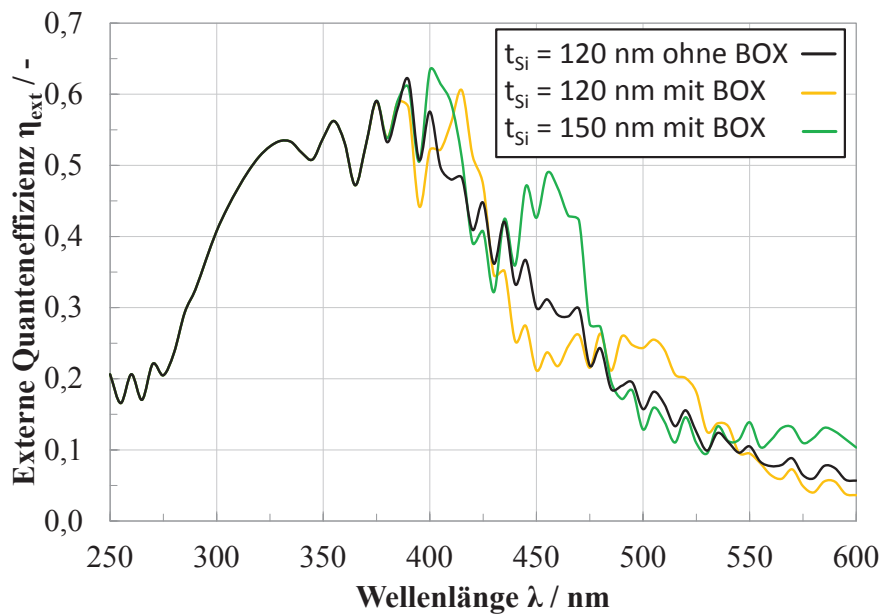


Abb. 3.26: Simulation der externen Quanteneffizienz  $\eta_{\text{ext}}$  für einen 120 nm (gelb) und einen 150 nm (grün) dicken Film unter Berücksichtigung der Reflexion der Strahlung am vergrabenen Oxid (BOX). Für eine Filmdicke von 120 nm ist zusätzlich die Simulation ohne vergrabenes Oxid (schwarz) zur Verdeutlichung des Oxid-Einflusses gezeigt. Die Bandbreite der Strahlung beträgt 5 nm. Das BEOL entspricht dem aus Abb. 3.3.

simuliert. Das Ergebnis der Simulation sind in Abb. 3.26 dargestellt. Dort ist die externe Quanteneffizienz  $\eta_{\text{ext}}$ <sup>8</sup> als Funktion der Wellenlänge  $\lambda$  in einem Bereich zwischen  $\lambda=250$  nm und  $\lambda=600$  nm aufgetragen. Die Simulation für einen 120 nm (gelbe Linie) und einen 150 nm (grüne Linie) dicken Film wurde durchgeführt. Zusätz-

<sup>8</sup> Die externe Quanteneffizienz wird im Folgenden einfach als QE bezeichnet. Sollte die interne Quanteneffizienz gemeint sein, so wird dies explizit genannt.



lich ist eine Simulation des 120 nm dicken Films ohne vergrabenes Oxid (schwarze Linie) gezeigt, um den Einfluss des vergrabenen Oxids zu verdeutlichen. Die Quanteneffizienz wurde dabei berechnet, indem zunächst eine Absorptionssimulation durchgeführt wurde. Daraus wurde die Absorption des Siliziums allein bestimmt. Diese ist maßgeblich für die Berechnung der QE. Die Bandbreite der Strahlung von 5 nm wurde erreicht, indem bei der Bestimmung der QE über diesen Wellenlängenbereich gemittelt wurde.

Das Maximum der QE befindet sich im Bereich zwischen etwa  $\lambda=300$  nm und  $\lambda=400$  nm. Der Abfall der QE zu kürzeren Wellenlängen entsteht aufgrund der Absorption der SiN-Passivierung. Mit zunehmender Wellenlänge oberhalb von 400 nm fällt die QE aufgrund der Eindringtiefe der elektromagnetischen Strahlung ins Silizium ab. Dabei wird nur noch ein geringer Teil der Strahlung im Film absorbiert, während der meiste Teil den dünnen Film passiert. Fällt die QE unter einen bauelementabhängigen Wert, dann ist keine Detektion von Strahlung mehr möglich, weil das Signal schwächer wird als das Rauschen.

Die Oszillationen der Kennlinien (besonders gut zu erkennen beim Maximum der QE) entstehen aufgrund von Mehrfachreflexionen der Strahlung an den Übergängen zwischen den Materialien des BEOL. Dabei kommt es, abhängig von den Dicken der Materialschichten, zu wellenlängenabhängiger konstruktiver und destruktiver Interferenz.

Ein weiterer Aspekt, der die QE der pin-Diode in der SOI CMOS-Technologie beeinflusst, ist die Reflexion der Strahlung am vergrabenen Oxid. Diese Reflexion kann wesentlich zur QE einer SOI-Photodiode beitragen. Zum Beispiel wurde dies in [47] ausgenutzt, um die QE unter Verwendung von SOI-Substraten zu erhöhen. Bezüglich dieser Reflexionen ist besonders der Unterschied zwischen allen drei Kurven bei einer Wellenlänge von etwa 450 nm markant. An dieser Stelle ist die QE im Fall des 150 nm dicken Films beinahe 30 % höher im Vergleich zum dünneren Film (120 nm) und etwa 20 % höher im Vergleich mit dem Fall ohne vergrabenes Oxid. Dieser Unterschied entsteht aufgrund des vergrabenen Oxids in Kombination mit der Dicke des Si-Films und wird später bei den Messungen der QE (zum Beispiel Abb. 3.29) beobachtet.

Unter den Materialien des BEOL besitzt die SiN-Schicht, die als Passivierung verwendet wird, die geringste Bandlücke. Diese beträgt bei einer idealen Stöchiometrie 4,8 eV [69]. Dies entspricht einer Wellenlänge von  $\lambda=259$  nm. Die im zu-

grundlegenden Prozess verwendete Passivierung besitzt eine nichtideale Stöchiometrie und deshalb auch eine geringere Bandlücke. Dies äußert sich darin, dass die Absorption ab  $\lambda=300$  nm zu geringeren Wellenlängen zunimmt (die QE also abnimmt). Ohne die Siliziumnitrid-Passivierung bleibt die Transmission in diesem Wellenlängen-Bereich hoch.

Abb. 3.27 zeigt einen Vergleich der gemessenen und simulierten QE mit (a)) und ohne (b)) Siliziumnitrid-Passivierung bei einer Si-Filmdicke von 120 nm.

Im Spektralbereich bis etwa 350 nm sind sowohl die simulierte als auch die gemessenen QE ohne SiN-Passivierung höher als die QE mit SiN-Passivierung. Dieser Unterschied entsteht dadurch, dass die oberste Passivierungsschicht SiN bzw. USG ist. Die Brechzahl von USG, liegt etwa bei  $n_{\text{USG}} \approx 1,5$  und die von SiN bei  $n_{\text{SiN}} \approx 2,2$ . Die Reflexion  $R_R$  von elektromagnetischer Strahlung beim Übergang von einem Medium mit der Brechzahl  $n_1$  in ein zweites Medium mit der Brechzahl  $n_2$  ist gegeben durch die Fresnel'sche Formel [44]

$$R_R = \left( \frac{n_2 - n_1}{n_2 + n_1} \right)^2. \quad (3.52)$$

Diese Formel gilt bei senkrechtem Lichteinfall. Mit den Brechzahlen von USG und Siliziumnitrid und dem Übergang der Strahlung aus Luft (Brechzahl  $n_{\text{Luft}}=1$ ) ergibt sich eine Reflexion von  $R_{\text{USG}}=4$  % bzw.  $R_{\text{SiN}}=14$  %. Diese Differenz spiegelt sich nicht unmittelbar in den simulierten Werten der QE wieder, weil noch die Einflüsse der Schichtdicken und Mehrfachreflexionen berücksichtigt worden sind.

Der größte Einfluss der SiN-Passivierung ist jedoch bei Wellenlängen unterhalb von 280 nm zu sehen. Ohne das SiN (b)) ist die QE beinahe doppelt so groß wie mit SiN (a)). Durch das Weglassen des SiN wird die UV-Strahlung in diesem Bereich nicht mehr im BEOL absorbiert und kann deshalb durch die pin-Diode detektiert werden.

In beiden Fällen (mit und ohne SiN-Passivierung) ist zu sehen, dass der simulierte und gemessene Verlauf der QE gut übereinstimmen. Gleichzeitig ist der simulierte Wert der QE oberhalb von einer Wellenlänge von 300 nm größer als die Messung. Die Ursache dafür kann einerseits eine nicht vollständige Verarmung des intrinsischen Gebiets der Diode sein oder andererseits eine Rekombination der photogenerierten Ladung. Unterhalb von 300 nm ist die simulierte QE mit Berücksichtigung der SiN-Passivierung (a)) größer als die gemessene QE bzw. ohne SiN-

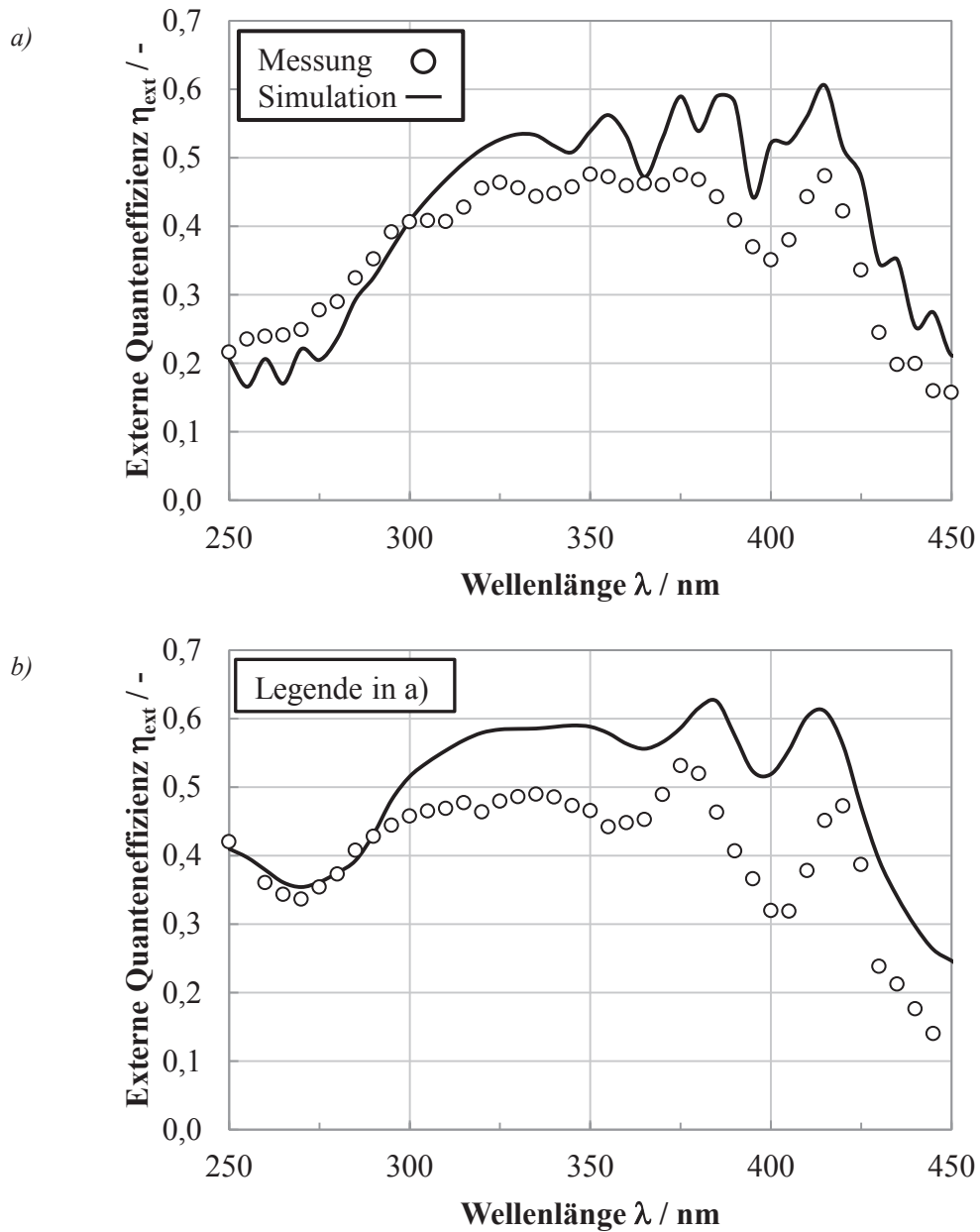


Abb. 3.27: Simulierte (Linie) und gemessene (Symbole) externe Quanteneffizienz von pin-Dioden der SOI CMOS-Technologie mit (a)) und ohne (b)) Siliziumnitrid-Passivierung. Die Film-Dicke des Siliziums beträgt 120 nm.

Passivierung (b)) in sehr guter Übereinstimmung mit der gemessenen QE. Möglicherweise sind in diesem Spektralbereich die Materialdaten (Brechungsindex und Absorptionskoeffizient) für die Simulation nicht exakt und deshalb kommt es zu der beobachteten Diskrepanz.

Die Zunahme der QE oberhalb von 400 nm findet aufgrund von Mehrfachreflexion der Strahlung an der Rückseite des Silizium-Films statt wie bereits zuvor erläutert (vgl. Abb. 3.26).

In Abb. 3.28 ist ein Vergleich der gemessenen externen Quanteneffizienz einer pin-Diode mit einer Si-Filmdicke von 120 nm bzw. 150 nm gezeigt. Das Verhalten beider Dioden ist nahezu identisch und die Unterschiede ergeben sich aufgrund der Reflexion am vergrabenen Oxid wie in der Simulation vorhergesagt (Abb. 3.26). Besonders auffällig ist dabei der Verlauf um die Wellenlänge von 425 nm. Dort ist der markante Unterschied zwischen beiden Filmdicken zu beobachten.

Für Photodioden ist eine große photoaktive Fläche notwendig, um ein möglichst großes Signal zu detektieren. Eine Photodiode in der Standard CMOS-Technologie kann vergrößert werden, indem die Fläche vergrößert wird. Ein Einfluss auf das elektrische Verhalten ist dabei nicht zu erwarten, da keine Veränderung an der Konfiguration des pn-Übergangs stattfindet. Für eine solche Vergrößerung gibt es bei der pin-Diode in der SOI-Technologie zwei Möglichkeiten, die Verlängerung und die Verbreiterung des intrinsischen Gebiets. Letztere ist äquivalent zu der Vergrößerung der Fläche in der Standard CMOS-Technologie. Eine Verlängerung hin-

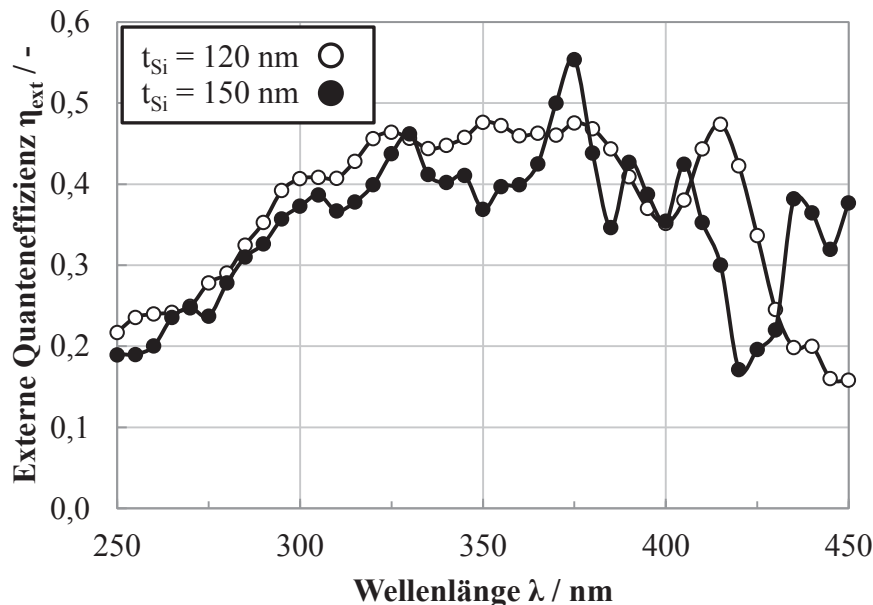


Abb. 3.28: Gemessenen externe Quanteneffizienz einer Diode mit einer Filmdicke von 120 nm (leere Kreise) und 150 nm (volle Kreise). Beide Dioden haben eine Siliziumnitrid-Passivierung.

gegen kann dazu führen, dass der intrinsische Bereich der Diode nicht mehr vollständig verarmt werden kann und dadurch die QE negativ beeinflusst wird [15]. Mindestens jedoch muss die Sperrspannung an der Diode angepasst werden, um die QE beizubehalten. Am Beispiel einer pin-Photodiode wurde der Einfluss der Diodenlänge auf die QE in Abhängigkeit der Sperrspannung untersucht. Das Ergebnis der Untersuchung ist in Abb. 3.29 gezeigt. Die Messung der QE wurde bei den Sperrspannungen von 0 V, 4 V, 6 V, 25 V und 30 V an pin-Dioden mit einer Länge des intrinsischen Gebiets von 10  $\mu\text{m}$  (in a)) und 300  $\mu\text{m}$  (in b)) untersucht.

In a) ist zu sehen, dass die gemessene QE bereits bei einer Sperrspannung von 0 V Werte erreicht, die auch bei höheren Sperrspannungen von 4 V und 6 V erzielt werden. Bei relativ großen Sperrspannungen von 25 V bzw. 30 V steigt die QE weiter an. Verglichen mit der Simulationskurve, die die Sperrspannung nicht berücksichtigt (weswegen nur eine simulierte Kennlinie dargestellt ist), ist eine gute Übereinstimmung im Verlauf zwischen den beiden Kennlinien zu sehen. Wie bereits diskutiert ist auch hier festzustellen, dass die gemessene QE unterhalb von 300 nm größer ist als die simulierte. Oberhalb dieser Wellenlänge liegt die gemessene QE unter den simulierten Werten, aufgrund nicht vollständiger Verarmung oder Rekombinationseffekten. Bei 25 V bzw. 30 V setzt Lawinenmultiplikation ein und der Photostrom erhöht sich durch Lawinenmultiplikation. Diese ist in der Simulation nicht berücksichtigt und deshalb übertreffen diese gemessenen Kennlinien die ideale<sup>9</sup> Simulation.

Bei der 300  $\mu\text{m}$  langen Diode in b) steigt die QE zunächst mit zunehmender Sperrspannung an. Bei einer Sperrspannung von 0 V bzw. 4 V liegt diese deutlich unterhalb der simulierten Werte. Erst bei 6 V sind Messung und Simulation vergleichbar, wobei wiederum eine höhere gemessene QE unterhalb von 300 nm und eine niedrigere QE oberhalb von 300 nm zu beobachten ist. Mit zunehmender Sperrspannung (25 V und 30 V) ändert sich die gemessenen QE kaum noch und ein Lawineneffekt, wie bei der kurzen Diode, ist nicht festzustellen. Das liegt daran, dass das längere intrinsische Gebiet dieser Diode eine deutlich höhere Sperrspannung benötigt, um ein für die Lawinenmultiplikation ausreichend hohes elektrisches Feld zu erreichen.

---

<sup>9</sup> Zur Erinnerung: In der Simulation beträgt die interne Quanteneffizienz 100 %.

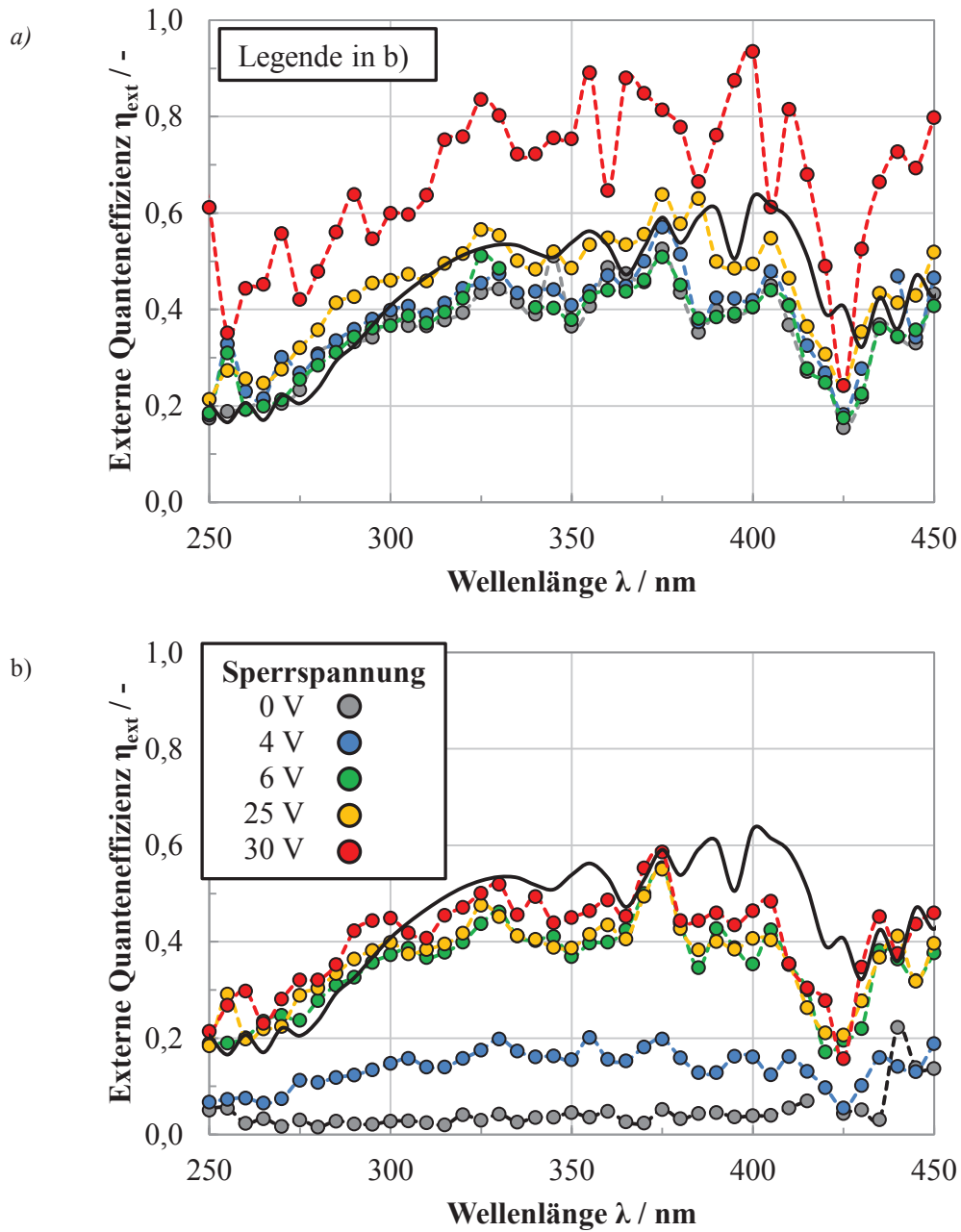


Abb. 3.29: Gemessene (Symbole) und simulierte (Linie) externe Quanteneffizienz einer pin-Diode der SOI CMOS-Technologie mit einer intrinsischen Länge von a) 10  $\mu\text{m}$  und b) 300  $\mu\text{m}$ . Die Sperrspannung beträgt 0 V (grau), 4 V (blau), 6 V (grün), 25 V (gelb) und 30 V (rot). Die Back-Gate-Spannung beträgt 0 V. Die Film-Dicke ist 150 nm.

Da die lange Diode erst bei höheren Sperrspannungen ihre höchste QE (ohne Lawinenmultiplikation) erreicht, deutet das darauf hin, dass diese erst bei etwa 6 V ausreichend verarmt ist. Hier gilt es zusätzlich zu beachten, dass die Verarmung nicht allein durch die Sperrspannung erreicht wird, sondern auch das Back-Gate einen Einfluss hat. Dieses kann dazu beitragen das intrinsische Gebiet der pin-Diode zu verarmen.

Durch die Back-Gate Steuerung ist eine Abhängigkeit der Quanteneffizienz von der Back-Gate-Spannung  $V_{BG}$  zu erwarten. Diese Abhängigkeit wurde für eine 10  $\mu\text{m}$  lange pin-Diode bei einer Si-Filmdicke von 150 nm untersucht. Das zusammengefasste Ergebnis dieser Messung findet sich in Tab. 3.3.

Eine Vergleich der Werte für  $V_{BG}=0$  V und der Simulation zeigt das prinzipielle Verhalten, wie in Abb. 3.29 a) zu sehen ist. Bis  $\lambda=300$  nm sind die gemessenen Werte vergleichbar bzw. etwas größer als die simulierten und oberhalb von  $\lambda=300$  nm liegen diese unter den Simulierten. Ein Vergleich der QE in jeder Spalte zeigt, dass diese stets bei  $V_{BG}=5$  V den höchsten Wert aufweist. Bei der Wellenlänge von

Tab. 3.3: Messergebnisse der Back-Gate abhängigen externen Quanteneffizienz einer 10  $\mu\text{m}$  langen pin-Diode bei einer Filmdicke von 150 nm und einer Sperrspannung von 6 V, angegeben in Prozent. Die simulierte Quanteneffizienz geht von einem vollständig verarmten Film aus.

| Wellenlänge      | 250 nm | 300 nm | 350 nm | 400 nm | 450 nm |
|------------------|--------|--------|--------|--------|--------|
| $V_{BG} = 30$ V  | 27,0   | 37,9   | 40,2   | 71,5   | 75,1   |
| $V_{BG} = 20$ V  | 16,3   | 39,7   | 46,5   | 44,7   | 41,0   |
| $V_{BG} = 15$ V  | 15,1   | 39,4   | 49,0   | 46,9   | 41,7   |
| $V_{BG} = 10$ V  | 16,6   | 40,7   | 48,4   | 46,2   | 35,6   |
| $V_{BG} = 5$ V   | 21,2   | 52,3   | 62,3   | 62,2   | 57,3   |
| $V_{BG} = 0$ V   | 17,6   | 43,8   | 51,5   | 45,9   | 37,3   |
| $V_{BG} = -5$ V  | 15,4   | 42,2   | 51,8   | 44,1   | 40,8   |
| $V_{BG} = -10$ V | 13,5   | 32,2   | 39,2   | 35,2   | 29,0   |
| $V_{BG} = -15$ V | 13,6   | 32,0   | 39,6   | 34,1   | 27,8   |
| $V_{BG} = -20$ V | 12,0   | 31,9   | 36,9   | 33,9   | 29,9   |
| $V_{BG} = -30$ V | 29,8   | 41,2   | 46,8   | 90,8   | 96,8   |
| Simulation       | 20,6   | 40,8   | 53,9   | 63,4   | 42,6   |

300 nm ist mit Ausnahme des Werts bei  $V_{BG}=20$  V zu beobachten, dass die QE sowohl zu positiven als auch zu negativen Back-Gate-Spannungen abnimmt und diese schließlich bei  $V_{BG}=\pm 30$  V ansteigt. Der Anstieg ist analog zu Abb. 3.29 a) aufgrund von Lawinenmultiplikation. Tendenziell ist ein ähnliches Verhalten auch bei den anderen Wellenlängen zu beobachten, allerdings ist die Abnahme der QE nicht so stetig wie bei  $\lambda=300$  nm. Messungen an weiteren Bauelementen haben ein vergleichbares Ergebnis gezeigt.

Der Bereich um  $V_{BG}=5$  V wurde bei  $\lambda=300$  nm im Detail betrachtet. Das Ergebnis dieser Messung ist in Abb. 3.30 gezeigt. Dazu wurde die Back-Gate-Spannung zwischen den Werten 0 V und 10 V in 1 V-Schritten variiert und zusätzlich wurden unterschiedliche Sperrspannungen verwendet.

Bei allen Messkurven ist zu beobachten, dass die QE mit zunehmender Sperrspannung (0 V bis 10 V) zunächst ansteigt und dann wieder abfällt. Das Plateau nach dem Anstieg ist mit zunehmender Sperrspannung breiter. Zusätzlich ist die QE bei allen Kurven um  $V_{BG}=0$  V etwas höher als die QE nach dem Plateau bei größeren  $V_{BG}$ .

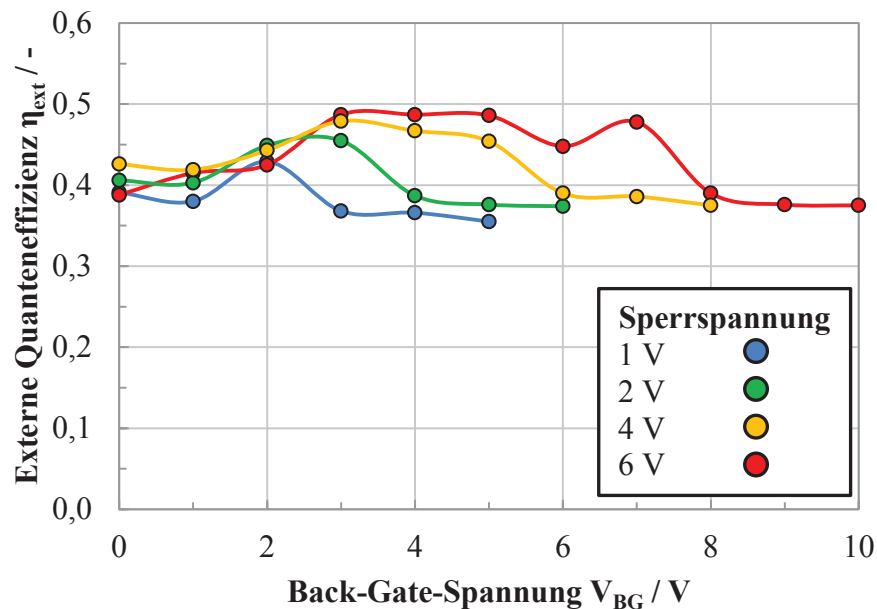


Abb. 3.30: Gemessene Quanteneffizienz bei einer Wellenlänge von 300 nm. Die Sperrspannung und die Back-Gate-Spannung wurden variiert. Die Sperrspannung betrug 1 V, 2 V, 4 V und 6 V wie in der Legende gezeigt.



Dieses Verhalten der QE entsteht aufgrund der Back-Gate-Spannung, die das intrinsische Gebiet der pin-Diode beeinflusst. Das beobachtete Plateau entspricht dabei dem Zustand, bei dem das intrinsische Gebiet am meisten verarmt ist. Dabei steht das größte Gebiet zur Detektion von Strahlung zur Verfügung und die QE ist am größten. Wird die Back-Gate-Spannung verringert (zum Beispiel in Richtung  $V_{BG}=0$  V), dann wird das intrinsische Gebiet aus der Verarmung in Richtung Inversion (bei einem n-dotierten intrinsischen Gebiet) gesteuert. In diesem Fall werden Elektronen zu Minoritäten. Bei einer Erhöhung der Back-Gate-Spannung in Richtung  $V_{BG}=10$  V wird das i-Gebiet akkumuliert und Löcher werden zu Minoritäten. Da die Minoritäten bei der Photodetektion den Stromfluss dominieren und in Silizium Elektronen eine höhere Beweglichkeit haben als Löcher, ist der Strom bei  $V_{BG}=0$  V größer als bei  $V_{BG}=10$  V. Dieses Verhalten wurde für pin-Dioden in der SOI-Technologie bereits untersucht [10] und die obige Erklärung ist an diese Referenz angelehnt und beschreibt das hier beobachtete Verhalten sehr gut.

Mit dieser Erklärung zeichnet sich eine Vorgehensweise ab, mit der das gezeigte Verhalten in einem Modell beschrieben werden könnte. Obwohl das im Rahmen der vorliegenden Arbeit nicht bewerkstelligt wird, soll dennoch ein Weg aufgezeigt werden, der bei zukünftigen Untersuchungen dieser Fragestellung verfolgt werden kann. Wie oben beschrieben, ist die Ursache für die Abnahme der QE in Abhängigkeit der Back-Gate-Spannung bei der internen QE zu suchen. Diese wurde im hier verwendeten Modell zu Eins (keine internen Verluste) angenommen. Um die Back-Gate-Abhängigkeit zu berücksichtigen, muss die interne QE modifiziert werden. Dazu bietet sich zum Beispiel die Möglichkeit das beschriebene Verhalten in Abb. 3.30 empirisch oder theoretisch zu erfassen.

Für die empirische Beschreibung bietet sich zum Beispiel die Möglichkeit eine parabolische Komponente bei der Betrachtung der internen QE einzubeziehen. Dabei müsste das Maximum der Parabel sowie der Grad des Abfalls Back-Gate- und Sperrspannungsabhängig modifiziert werden.

Eine theoretische Betrachtung der internen Quanteneffizienz müsste auf Basis einer MOS-Kapazität durchgeführt werden. Dabei muss die Ladungsträgerkonzentration an der Grenzfläche zwischen Silizium-Film und vergrabem Oxid bestimmt werden. Aus der Ladungsträgerkonzentration kann dann eine Abschätzung über die Rekombinationsgeschwindigkeit und somit über die interne QE angestellt werden. Aufgrund der Struktur der pin-Diode in der SOI CMOS-Technologie muss jedoch in

Betracht gezogen werden, dass eine Ortsabhängigkeit der internen QE abhängig von der Sperrspannung entstehen wird.

### 3.4 Zusammenfassung

In diesem Kapitel wurden die elektrischen und optischen Eigenschaften von pin-Dioden untersucht, die in der verwendeten SOI CMOS-Technologie integriert werden können.

Das elektrische Verhalten der Dioden wird von der Form, der Länge, der Dotierung, der Dicke des Silizium-Films, der Temperatur und dem Potential an der Anode, der Kathode und dem Back-Gate bestimmt.

Die Form der Diode beeinflusst den Füllfaktor und das Dunkelstromverhalten. Eine eckige Diode kann genutzt werden, um eine verfügbare Fläche optimal auszunutzen. Gleichzeitig hat sich bei dieser Diodenform aber gezeigt, dass der Dunkelstrom höher ist als zum Beispiel bei runden Dioden. Die Ursache dafür ist der *Vogelschnabel*, der sich bei dieser Diodenform am Übergang Film zu Feldoxid ausbildet. In diesem Bereich entstehen besonders hohe elektrische Felder und dadurch entsteht ein erhöhter Dunkelstrom aufgrund von Band-zu-Band-Tunneln. Je länger der Übergang ist, desto stärker ist der Einfluss auf den Dunkelstrom. Bei einer runden Diode kann der Übergang von Film zu Feldoxid vermieden werden.

Die Länge der pin-Diode, die im Wesentlichen durch das intrinsische Gebiet bestimmt wird, beeinflusst bei der Betrachtung des rein elektrischen Verhaltens nur den Durchbruch der Diode. Eine Verlängerung von  $1,5\text{ }\mu\text{m}$  auf  $3,0\text{ }\mu\text{m}$  führt zu nahezu einer Verdopplung der Durchbruch-Spannung. Bei der  $3,0\text{ }\mu\text{m}$  langen Diode sättigt dabei der Dunkelstrom bei vollständiger Verarmung und steigt erst beim Einsetzen der Lawinenmultiplikation weiter an.

Grundsätzlich verhalten sich pin-Dioden unterschiedlich, wenn die Dotierung des intrinsischen Gebiets verändert wird. Jedoch kann bei gleicher Länge des intrinsischen Gebiets die Wirkung der Dotierung mit Hilfe des Back-Gates, in einem gewissen Rahmen, gesteuert werden. Durch die Wahl eines geeigneten Back-Gate-Potentials kann das intrinsische Gebiet der Diode verarmt werden. Der verarmte Zustand ist für eine effektive Detektion von elektromagnetischer Strahlung notwendig. Zu beachten ist, dass bei positiven Potentialen am Back-Gate von über 40 V ein

Leckstrom zwischen Back-Gate und der Kathode entsteht. Das Potential verschiebt sich bei wiederholter Messung zu größeren Spannungen hin, was auf einen Effekt von heißen Ladungsträgern hindeutet.

Die Abhängigkeit des Dunkelstroms von der Temperatur ist ein begrenzendes Kriterium für den Einsatz von Photodioden. Eine Untersuchung des Temperaturverhaltens einer pin-Diode der SOI CMOS-Technologie im Vergleich zu Dioden der Standard CMOS-Technologie wurde durchgeführt. Es wurde gezeigt, dass die Temperaturabhängigkeit von Standard CMOS-Dioden in zwei Bereiche unterteilt werden kann. In diesen Bereichen dominiert entweder der Generations- oder der Diffusionsstrom. Bei Temperaturen unter etwa 100 °C wird der Anstieg des Dunkelstroms durch den Generationsprozess beeinflusst, oberhalb dieser Temperatur vom Diffusionsprozess. Letzterer hat eine stärkere Temperaturabhängigkeit und führt zu einem stärkeren Anstieg des Dunkelstroms bei hohen Temperaturen. Das begrenzt die Einsatzfähigkeit der Standard CMOS-Dioden.

Die pin-Diode der SOI CMOS-Technologie zeigt im betrachteten Temperaturbereich bis 200 °C einen Anstieg des Dunkelstroms, der aufgrund seiner Abhängigkeit von der Temperatur dem Generationsstrom zuzuordnen ist. Aufgrund der schwächeren Abhängigkeit von der Temperatur, im Vergleich zum Diffusionsstrom, und dem damit geringeren Dunkelstrom, kann die pin-Diode bei höheren Temperaturen eingesetzt werden um die gleiche Leistungsfähigkeit wie eine Standard CMOS-Dioden zu erreichen. Dieser Vergleich ist allerdings nur dann zutreffend, wenn die Filmdicke des SOI nicht begrenzend für die Quanteneffizienz ist. Das ist im hier Betrachteten Beispiel für ultraviolette Strahlung bei Wellenlängen unterhalb von 400 nm der Fall.

Zur Beschreibung des Dunkelstroms der pin-Diode wurde ein analytisches Modell entwickelt. Dieses Modell berücksichtigt die Abhängigkeit des Dunkelstroms von der Sperrspannung, der Geometrie und der Temperatur. Mit Hilfe des Modells wurde die Entstehung des Dunkelstroms bei der pin-Diode untersucht. Oberflächen-generation an den Grenzflächen zwischen dem Silizium-Film und Siliziumdioxid wurde als der dominante Beitrag identifiziert. Zur Verringerung des Dunkelstroms ist demnach die Qualität dieser Grenzflächen zu verbessern. Zusätzlich konnte die Temperaturabhängigkeit des Dunkelstroms mit Hilfe des Modells nachgebildet und somit theoretisch beschrieben werden.

Das optische Verhalten der pin-Dioden wurde mit Hilfe von Simulationen und Messungen der Quanteneffizienz untersucht. Die Quanteneffizienz wird von der Passivierung, der Film-Dicke, der Länge der Diode, der Sperrspannung und der Back-Gate-Spannung beeinflusst.

Die Siliziumnitrid-Passivierung begrenzt die Quanteneffizienz bei Wellenlängen unter 300 nm. In diesem Bereich beginnt die Passivierung zu absorbieren. Dadurch sinkt die erreichbare Quanteneffizienz. Ohne das Siliziumnitrid kann die Quanteneffizienz bei einer Wellenlänge von 250 nm verdoppelt werden.

Die Film-Dicke der SOI CMOS-Technologie begrenzt die Quanteneffizienz zu höheren Wellenlängen hin. Erreicht die Eindringtiefe der elektromagnetischen Strahlung den Wert, der der Film-Dicke entspricht, dann beginnt die Quanteneffizienz abzunehmen. Das liegt daran, dass ein immer größerer Teil der Strahlung den relativ dünnen Si-Film passiert, ohne absorbiert zu werden. Die untere Grenzfläche des Films, der Übergang zwischen Silizium und Siliziumdioxid, führt dabei dazu, dass die Strahlung, die den Film passiert, zum Teil reflektiert wird. Durch Mehrfachreflexionen und den daraus resultierenden Interferenzeffekten kann die Quanteneffizienz, trotz der Begrenzung durch die Filmdicke, zunehmen. Die verwendeten Filmdicken von 120 nm bis 150 nm erlauben den Einsatz der pin-Dioden als Photodetektor für vorwiegend ultraviolette Strahlung bei Wellenlängen unter etwa 400 nm.

Die photoaktive Fläche der pin-Diode sollte möglichst groß sein. Das kann erreicht werden indem die Länge oder die Weite vergrößert wird. Im Gegensatz zur Weite resultiert eine Änderung der Länge in eine Veränderung der Diode und wurde deshalb untersucht. Es wurde gezeigt, dass eine zu lange Diode zu Rekombinationsverlusten führt und deshalb zu einer Verringerung der Quanteneffizienz bei sonst identischen Betriebsbedingungen. Eine relativ kurze Diode von 10  $\mu\text{m}$  kann bereits ohne das Anlegen einer Sperrspannung ihre höchste Quanteneffizienz erreichen. Das wird durch den Einfluss des Back-Gates ermöglicht. Bei einer identisch dotierten, jedoch 300  $\mu\text{m}$  langen Diode, ist dazu eine Sperrspannung von mindestens 6 V notwendig.

Die Spannung am Back-Gate hat einen Einfluss auf die erreichbare Quanteneffizienz. Wenn der Film mit Hilfe des Back-Gates vollständig verarmt ist, dann wird die höchste Quanteneffizienz erreicht. In Inversion oder Akkumulation ist die Quanteneffizienz geringer als in vollständiger Verarmung, wobei im Fall von Elektronen

als Minoritätsladungsträger die Quanteneffizienz in Akkumulation oder Inversion größer ist verglichen zum Fall der Löcher.

Ein Konzept wurde erläutert, mit dem die Back-Gate-Abhängigkeit der Quanteneffizienz modelliert werden kann. Eine empirische und eine theoretische Vorgehensweise wurden vorgeschlagen. Dieses Konzept könnte in zukünftigen Untersuchungen der internen Quanteneffizienz von pin-Dioden der SOI CMOS-Technologie als Grundlage genutzt werden.



## 4 Einzelphoton-Detektor für ultraviolette Strahlung

Aus der Existenz eines diskreten Lichtteilchens, dem Photon, ergibt sich das ultimative Bestreben, bei der Entwicklung von Photodetektoren diese Detektionsgrenze zu erreichen. Denn sobald die einfallende Strahlung bis auf ein einzelnes Photon genau detektiert werden kann, ist sämtliche Information, die darin enthalten ist, zugänglich. [70]

Einzelphoton-Detektoren finden Anwendung in Bereichen, in denen die zu messenden Signale sehr schwach sind oder ein Signal sehr schnell gemessen werden soll. Zu den ersten Einzelphoton-Detektoren zählt der Photoelektronenvervielfacher (*photomultiplier tube*, PMT) [71]. Trotz ihrer Stärken, zu denen eine große Verstärkung und eine relativ große aktive Fläche zählen, überwiegen heutzutage, im Vergleich zu Halbleiter-basierten Detektoren, die Nachteile. Diese sind die Größe, die mechanische Instabilität, die sehr hohen Betriebsspannungen und das schlechte zeitliche Auflösungsvermögen [71]. Weiterhin benötigen die PMTs eine evakuierte Röhre als Verkapselung [72] und die unerwünschte Empfindlichkeit gegenüber magnetischen Feldern [34] ist ebenfalls eine Einschränkung.

Heutzutage dominieren halbleiterbasierte Einzelphoton-Detektoren (SPADs), was der intensiven Erforschung zu verdanken ist [23] [70]. Das ist insbesondere darauf zurückzuführen, dass diese nach der Arbeit von Alexis Rochas [5] in die Stan-

dard CMOS-Technologie integriert und somit kostengünstig hergestellt werden können. Weiterhin besitzen SPADs nicht die Schwächen der PMTs.

CMOS-SPADs werden in Silizium integriert. Deshalb ist die Empfindlichkeit dieser Dioden auf den spektralen Bereich der elektromagnetischen Strahlung mit Wellenlängen kleiner als 1100 nm begrenzt. Für Silizium-Einzelphoton-Detektoren im Nahinfraroten Spektrum ( $\lambda > 700$  nm) sind zudem spezielle Entwurfsbedingungen zu beachten [73], weswegen die Betriebsspannungen höher sind als bei den Standard-Dioden. Im Ultravioletten Spektrum ( $\lambda < 400$  nm) wird die Empfindlichkeit der Silizium-SPADs aufgrund ihrer Struktur und der geringen Eindringtiefe der elektromagnetischen Strahlung limitiert. Um die Empfindlichkeit in diesem Bereich zu erweitern, werden zwei Ansätze verfolgt. Einerseits wird eine spezieller Dioden-Typs, die sogenannten  $\delta$ -Diode [29] [30] verwendet und andererseits werden SPADs aus Halbleitern mit einer größeren Bandlücke als Silizium verwendet (zum Beispiel SiC [34] [74] und GaN [37] [38]).

Ein Vergleich der SPADs dieser Technologien ist in Tab. 4.1 aufgeführt. Es werden die Fläche, die Dunkelzählrate DCR, die Photon-Detektionseffizienz PDE, die Durchbruchspannung  $V_{BR}$  und das zeitliche Verhalten (FWHM, *full width half maximum*) verglichen. In allen Parametern dominiert die Silizium-Diode. Die erreichte Dunkelzählrate der  $\delta$ -Diode ist trotz der Unreife der Technologie besser als die der SiC- und GaN-Dioden. Im Gegenzug haben die beiden zuletzt genannten eine deutlich höhere PDE. Das geht auf Kosten einer sehr hohen Durchbruchspannung.

Si-basierte Photodetektoren bieten den entscheidenden Vorteil, dass sie monolithisch, und somit kostengünstig, in der CMOS-Technologie integriert werden können. In Kapitel 3 wurden die Vorzüge der SOI CMOS-Technologie in Bezug auf die Detektion von elektromagnetischer Strahlung dargelegt. Der nächste logische Schritt ist die Untersuchung der Eignung einer solchen Photodiode als Einzelphoton-Detektor. Dies wird in diesem Kapitel durchgeführt.

Zunächst wird in 4.1 das theoretische Verhalten von Einzelphoton-Detektoren allgemein vorgestellt. Dazu gehören das Durchbruch-Verhalten und der Betrieb der Photodiode im Geiger-Modus. Auf dieser Grundlage werden dann die wichtigsten Kenngrößen der SPADs definiert. Dieser Abschnitt schließt mit der Diskussion des Hot-Carrier-Effekts, der bei der hier verwendeten Technologie eine wichtige Rolle spielt.



Tab. 4.1: Vergleich typischer Parameter von unterschiedlichen Einzelphoton-Detektor-Technologien auf Basis vom Photoelektronenvervielfacher PMT und auf Halbleiter-Basis. Verglichen wird die Fläche, die Dunkelzählrate DCR pro Fläche, die Photon-Detektionseffizienz PDE, die Durchbruch-Spannung  $V_{BR}$  und das zeitliche Auflösungsvermögen FWHM.

| Technologie        | Fläche A<br>/ $\mu\text{m}^2$ | DCR/A<br>/ $\mu\text{m}^{-2}\text{s}^{-1}$ | PDE <sub>MAX</sub><br>/ % | $V_{BR}$<br>/ V | FWHM<br>/ ps | Referenz |
|--------------------|-------------------------------|--|---------------------------|-----------------|--------------|----------|
| Si                 | 707                           | 0,07                                       | 52                        | 26              | 113          | [95]     |
| PMT                | $20 \times 10^6$              | $5 \times 10^{-6}$                         | 40                        | *               | 300          | [72]     |
| SiC                | $31 \times 10^3$              | 645  | 32                        | 194             | NA           | [34]     |
| GaN                | 625                           | $66 \times 10^3$                           | 24                        | ~100            | NA           | [37]     |
| Si $\delta$ -Diode | 12,6                          | 238  | 11                        | 15              | 436          | [30]     |

\*Ist bei einem PMT nicht zutreffend.

Kapitel 4.2 beschäftigt sich mit den Methoden, die dazu dienen Einzelphoton-Detektoren zu beschreiben. Dazu zählen die Messung der Dunkelzählrate und der Photon-Detektionseffizienz. Es wird eine Methode entwickelt, mit der die Detektionseffizienz für SOI-SPADs berechnet werden kann. Abschließend werden Simulations- und Messmethoden vorgestellt, mit denen der Einfluss von heißen Ladungsträgern auf das Verhalten der SPADs bestimmt wird.

Im darauffolgenden Kapitel 4.3 werden die Mess- und Simulationsergebnisse, die die untersuchten SPADs beschreiben, vorgestellt. Schließlich befindet sich in 4.4 eine Zusammenfassung der wichtigsten Erkenntnisse dieses Kapitels.

## 4.1 Theoretische Grundlagen

Ebenso wie Photodioden werden auch Einzelphoton-Detektoren in Sperrrichtung betrieben. Jedoch überschreitet beim Betrieb der SPAD die angelegte Spannung die Durchbruch-Spannung der Diode. Dieser Betriebszustand wird Geiger-Modus genannt. Der Geiger-Modus hat gravierende Folgen für das Verhalten des Bauelements, da es sich dann nicht mehr im thermodynamischen Gleichgewicht befindet.

Das Verhalten in Sperrrichtung sowie der Geiger-Modus werden in den folgenden zwei Abschnitten behandelt, bevor die darauf basierenden Kenngrößen der

SPADs abgeleitet werden. Der letzte Abschnitt dieses Kapitels 4.1.4 befasst sich dann mit dem Hot-Carrier-Effekt, da dieser unmittelbar aus dem Betrieb der Diode im Geiger-Modus resultiert und ein Einfluss in der vorliegenden SOI CMOS-Technologie zu erwarten ist.

#### **4.1.1 Durchbruchverhalten**

Halbleiter-Photodetektoren werden, wie in Kapitel 3 beschrieben, in Sperrrichtung betrieben, um die photogenerierte Ladung möglichst effektiv einzusammeln. Im Fall von SPADs spielt das Durchbruchverhalten eine bedeutende Rolle. Diese Dioden werden dynamisch bei Sperrspannungen oberhalb der Durchbruch-Spannung betrieben. In diesem Abschnitt werden die Mechanismen erläutert, die beim Durchbruch eines pn-Übergangs im Allgemeinen und bei einer SPAD im speziellen relevant sind. Zu diesen Mechanismen zählt das Band-zu-Band Tunneln (B2BT), das durch Störstellen unterstützte Tunneln (*trap assisted tunneling*, TAT) und der Lawinendurchbruch. Schließlich ergibt sich für den Fall der SOI CMOS-Technologie zusätzlich der Einfluss des Back-Gates auf das Durchbruch-Verhalten, das ebenfalls in diesem Kapitel betrachtet wird.

##### **4.1.1.1 Mechanismen in Sperrrichtung**

Im Abschnitt 3.1.2 wurde die Entstehung des Dunkelstroms anhand eines Diffusions- und Generationsanteils beschrieben. Der Generationsanteil entsteht dabei aufgrund von thermischer Generation innerhalb der Raumladungszone. Da der Silizium-Film in der vorliegenden SOI CMOS-Technologie mit einer Dicke von 150 nm relativ dünn ist und dieser zusätzlich von zwei Silizium-Siliziumdioxid-Grenzflächen an der Ober- und Unterseite eingeschlossen wird, ergibt sich ein zusätzlicher Einfluss bei der Generation von Ladungsträgern. Dieser Mechanismus ist die oberflächenbedingte thermische Generation (*surface shockley-read-hall*). Dieser Term entsteht physikalisch aufgrund von Störstellen, die beim Übergang vom kristallinen Silizium zum amorphen Siliziumdioxid erzeugt werden. Deren Einfluss kann einen nicht vernachlässigbaren Beitrag zum Generationsstrom liefern.

#### 4.1.1.2 Band-zu-Band Tunneln

Wird die Sperrspannung einer Diode immer weiter erhöht, so steigt das elektrische Feld in der Raumladungszone. Bei einer kleinen Raumladungszone (schmäler als 50 nm [75]) kann bereits bei kleinen Sperrspannungen ein hohes elektrisches Feld entstehen. Im Silizium findet Tunneln in der Regel bei pn-Übergängen statt, wenn der Betrag der Durchbruchspannung kleiner ist als etwa  $6 \times E_G/q$ , also etwa 7 V [43]. Die dazu notwendigen, hohen Felder und schmalen Raumladungszonen entstehen bei hoch dotierten pn-Übergängen, deren Dotierstoff-Gradient einen Wert von etwa  $1 \times 10^{24} \text{ cm}^{-4}$  übersteigt [75]. Dabei steigt der Betrag des elektrischen Feldes über einen kritischen Wert von etwa  $7 \times 10^7 \text{ V/m}$  [75] [76] und es kommt zum B2BT. Der zugrundeliegende Mechanismus ist im Bändermodell in Abb. 4.1 a) veranschaulicht. Durch die immer stärkere Verbiegung des Valenz- und Leitungsbands verringert sich der effektive Abstand zwischen den Bändern. Gebundene Elektronen können dann durch direktes Tunneln vom Valenz- ins Leitungsband gelangen, ohne dass die Energie der Bandlücke  $E_G$  aufgebracht werden muss. Dieser Effekt kann zusätzlich durch Gitterschwingungen (Phononen) begünstigt werden [77]. Ein Stromfluss aufgrund des B2BT ergibt sich nach folgender Gleichung [77]

$$J = c_0 q \sqrt{\frac{2\pi\epsilon_0\epsilon_{HL}}{qF_0 a_{B2B}}} F_{max}^{\sigma_{B2B}+2} \left(1 - \frac{\sigma_{B2B} + 1}{2} \frac{F_{max}}{F_0}\right) \exp\left(-\frac{F_0}{F_{max}}\right). \quad (4.1)$$

In dieser Gleichung entspricht  $a_{B2B}$  dem Dotierstoff-Gradienten,  $\sigma_{B2B}$  einer numerischen Konstante,  $F_0$  einer Materialkonstanten und  $F_{max}$  dem maximalen elektrischen Feld in der Raumladungszone. Die numerische Konstante  $\sigma_{B2B}$  hat einen Wert von  $\sigma_{B2B}=1$  für direktes Tunneln und einen Wert von  $\sigma_{B2B}=1,5$  für Phonon-unterstütztes Tunneln [77]. Aufgrund der exponentiellen Abhängigkeit hat das maximale elektrische Feld einen enormen Einfluss auf den Tunnelstrom.

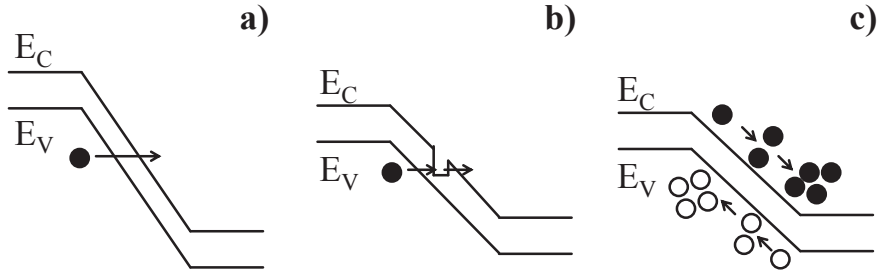


Abb. 4.1: Band-zu-Band Tunneln a), Störstellenunterstütztes Tunneln b) und Lawinen-Multiplikation c) im Bändermodell. Durch die starke Bandverbiegung von Valenz- ( $E_V$ ) und Leitungsband ( $E_C$ ) kann ein Elektron im Fall von Band-zu-Band-Tunneln vom Valenzband direkt ins Leitungsband tunneln. Beim störstellenunterstützten Tunneln dient der Potentialtopf einer Störstelle als Tunnel-Hilfe. Bei der Lawinen-Multiplikation vervielfachen sich Ladungsträger durch Stoßionisation.

#### 4.1.1.3 Störstellenunterstütztes Tunneln

Störstellenunterstütztes Tunneln TAT wird dann wichtig, wenn der pn-Übergang selbst oder die Umgebung des pn-Übergangs Störstellen enthält. Die nachfolgende Beschreibung ist in Abb. 4.1 b) veranschaulicht. Bei hohen elektrischen Feldern überwinden Ladungsträger die Barriere zwischen Valenz- und Leitungsband, indem die energetischen Niveaus der Störstellen, die innerhalb der Bandlücke liegen, als Zwischenstufen verwendet werden. Dabei benötigen die Ladungsträger eine geringere Energie als die Bandlücke des Halbleiters. Zusätzlich werden die Bänder des Halbleiters durch das vorherrschende elektrische Feld gekippt, wodurch die Barriere ähnlich wie beim B2BT effektiv verringert wird.

Störstellen werden beschrieben durch ihre Dichte  $N_t$ , sowie deren Einfang-  $c_{n,p}$  und Emissionsrate  $e_{n,p}$  für Elektronen und Löcher [76]. Das kann durch die Rekombinationsrate berücksichtigt werden [76]

$$R_{trap} = N_t \frac{c_n c_p n_t n_p - e_n e_p}{c_n n_t + c_p p_t + e_n + e_p}. \quad (4.2)$$

Dabei sind  $n_t$  und  $p_t$  die Dichten von Elektronen und Löchern. Das elektrische Feld erhöht sowohl die Einfang- als auch die Emissionsrate der Ladungsträger [76] und beeinflusst somit den Tunnelstrom. Der Tunnelstrom kann nach einem ähnlichen Prinzip wie in den Gleichungen (3.20) und (3.21) unter Berücksichtigung der Rekombinationsrate bestimmt werden. Das wurde zum Beispiel in [78] durchgeführt.

#### 4.1.1.4 Lawinendurchbruch

Mit zunehmender Sperrspannung an einem pn-Übergang steigt das elektrische Feld immer weiter an. Das elektrische Feld führt dazu, dass die Elektronen bzw. Löcher, die sich in der Raumladungszone unter dem Einfluss des Feldes befinden, beschleunigt werden und sich in Richtung Kathode bzw. Anode bewegen. Dabei steigt deren kinetische Energie. Bei der Bewegung zur Kathode bzw. Anode kommt es immer wieder zu Stößen zwischen den Ladungsträgern und dem Kristallgitter des Halbleiters. Ist die kinetische Energie der Ladungsträger groß genug, dann kann es bei einem solchen Stoß dazu kommen, dass ein gebundener Ladungsträger aus dem Kristallgitter gestoßen wird. Das ist der Fall, wenn deren kinetische Energie einen Wert von etwa  $1,5 \times E_G$  übersteigt [79]. Dieser Prozess ist in Abb. 4.1 c) dargestellt. Dabei wird sowohl ein Elektron als auch ein Loch erzeugt und der zuvor beschleunigte Ladungsträger wird abgebremst. Dieser Prozess, der als Lawinen-Multiplikation oder Stoßionisation bezeichnet wird, kann bei einem ausreichend hohen elektrischen Feld wiederholt ablaufen. Dabei entstehen immer mehr Elektronen und Löcher, da auch die generierten Ladungsträger (Sekundärelektronen bzw. -Löcher) ihrerseits zum Prozess der Lawinenmultiplikation beitragen.

Der Ionisationsmechanismus ist eine Funktion des elektrischen Feldes. Dabei ist der Zusammenhang zwischen den Ionisationskoeffizienten  $\alpha_{e,h}$  von Elektronen und Löchern und dem elektrischen Feld durch folgende Gleichung gegeben [59]

$$\alpha_{e,h}(E) = \alpha_{\infty} \exp\left(-\frac{b}{|E|}\right). \quad (4.3)$$

Die Koeffizienten  $\alpha_{\infty}$  und  $b$  sind abhängig vom verwendeten Material. Im Silizium und im Fall von Elektronen beträgt  $\alpha_{\infty,n} = 7,03 \times 10^7 \text{ m}^{-1}$  und  $b_n = 1,321 \times 10^8 \text{ V/m}$  für elektrische Felder im Bereich  $1,75 \times 10^7 \text{ V/m} < E < 6,0 \times 10^7 \text{ V/m}$  [59]. Für Lö-

cher werden zwei Bereiche für beide Koeffizienten unterschieden. Für  $1,75 \times 10^7 \text{ V/m} < E < 4,0 \times 10^7 \text{ V/m}$  gilt  $\alpha_{\infty, h1} = 1,582 \times 10^8 \text{ m}^{-1}$  und  $b_{h1} = 2,036 \times 10^8 \text{ V/m}$  und für  $4,0 \times 10^7 \text{ V/m} < E < 6,0 \times 10^7 \text{ V/m}$  gilt  $\alpha_{\infty, h2} = 6,71 \times 10^7 \text{ m}^{-1}$  und  $b_{h2} = 1,693 \times 10^8 \text{ V/m}$  [59]. Im Silizium ist die Beweglichkeit von Elektronen größer als die von Löchern [43].

Der Durchbruch des pn-Übergangs findet dann statt, wenn die Lawinen-Multiplikation eine sehr große Anzahl von Ladungsträgern generiert. Der Sperrstrom steigt dann schlagartig an. Dieser Durchbruch wird beschrieben durch das Ionisationsintegral. Für den Fall, dass der Durchbruch durch Elektronen initiiert wird, ist das Ionisationsintegral [43]

$$\int_0^{w_{RLZ}} \alpha_e \exp \left[ - \int_x^{w_{RLZ}} (\alpha_e - \alpha_h) dx' \right] dx = 1. \quad (4.4)$$

Für Silizium gilt, dass wenn die Durchbruch-Spannung größer ist als  $6 \times E_G / q \approx 7 \text{ V}$  der Durchbruch durch Lawinenmultiplikation dominiert wird. Ist die Durchbruch-Spannung kleiner als  $4 \times E_G / q \approx 5 \text{ V}$ , dann ist das Durchbruchverhalten dominiert von Tunneleffekten. Für Durchbruch-Spannungen zwischen diesen Werten ist eine Mischung von beiden Effekten für den Stromanstieg an einem pn-Übergang verantwortlich [43].

#### 4.1.1.5 Durchbruch der pin-Diode im SOI

Aufgrund der Konfiguration der pin-Diode in der SOI CMOS-Technologie (Abb. 3.5) ist deren Durchbruch-Verhalten vom Back-Gate beeinflusst. Dabei kann das intrinsische Gebiet der Diode mit Hilfe des Back-Gates beeinflusst werden. Ähnlich wie bei einem MOS-Feldeffekt-Transistor kann der Silizium-Film in die Zustände Anreicherung, Verarmung und Inversion gesteuert werden, indem das entsprechende Back-Gate-Potential angelegt wird (vgl. Abschnitt 3.1.4). Bei bekannter Dotierung des intrinsischen Gebiets der Diode kann mit Hilfe der Gleichungen (3.25) bis (3.29) sowie (3.32) und (3.33) die Flachbandspannung und die Schwellspannung berechnet werden.

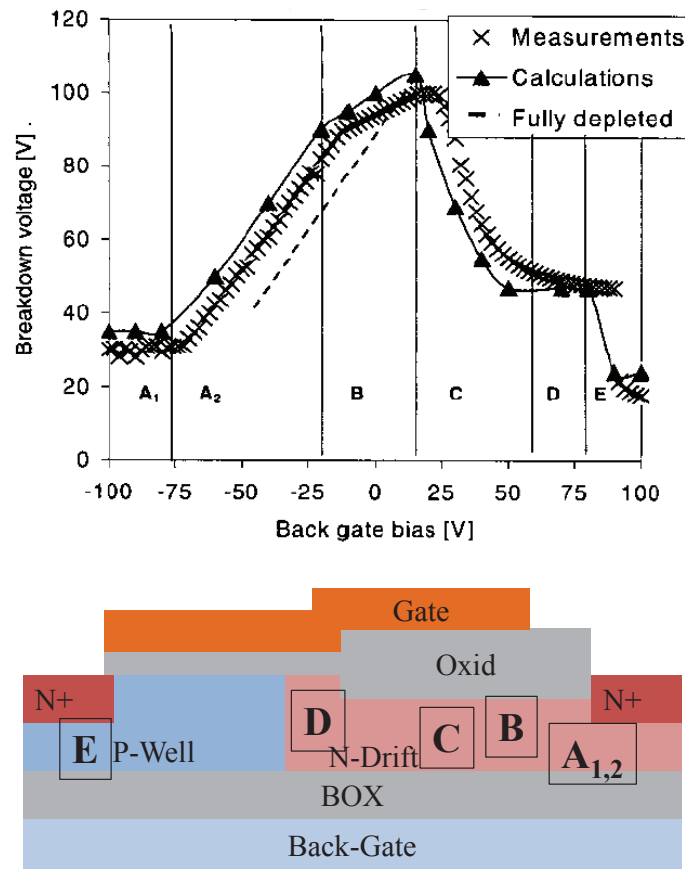


Abb. 4.2: Back-Gate abhängige Durchbruch-Kennlinie sowie der Querschnitt der untersuchten Struktur [50]. Der Durchbruch findet statt bei Inversion durch das Back-Gate (A<sub>1</sub>), bei vollständiger Verarmung durch das Back-Gate (A<sub>2</sub>), am Ende einer Feldplatte über der Diode (B), lateral bei vollständiger und unvollständiger Verarmung durch das Back-Gate (C), lateral ohne Back-Gate-Einfluss (D) und vertikal unterhalb der Elektroden (E).

Die Durchbruch-Spannung in Abhängigkeit des Back-Gate-Potentials wird durch eine Glockenkurve beschrieben [50]. Das ist in Abb. 4.2 gezeigt. Im allgemeinen Fall können fünf unterschiedliche Bereiche des Durchbruchs beobachtet werden. Diese Bereiche A<sub>1,2</sub> bis E (in Abb. 4.2 unten) beschreiben den Durchbruch [50]

- bei Inversion durch das Back-Gate,
- bei vollständiger Verarmung durch das Back-Gate,
- am Ende einer Feldplatte über der Diode,
- lateral bei vollständiger Verarmung durch das Back-Gate,

- lateral bei unvollständiger Verarmung durch das Back-Gate,
- lateral ohne Back-Gate-Einfluss,
- vertikal unterhalb der Elektroden.

Im Fall der vorliegenden SOI CMOS-Technologie entfällt der Durchbruch unterhalb der Elektroden (Bereich E), da diese die gesamte Tiefe des Films einnehmen und ein Durchbruch unterhalb nicht möglich ist. Weiterhin besitzt die untersuchte pin-Diode (Abb. 3.5) keine zusätzliche Feldplatte (*Gate* in Abb. 4.2 unten). Deswegen ist deren Einfluss auf das Durchbruch-Verhalten (Bereich B) nicht zu erwarten. In diesem Fall schließt Bereich A2 unmittelbar an die maximale Durchbruchspannung an. Das wird später gezeigt (vgl. zum Beispiel Abb. 4.6).

#### 4.1.2 Geiger-Modus

Wird die Sperrspannung an einer Diode immer weiter erhöht, so bricht diese aufgrund des immer größer werdenden elektrischen Feldes durch. Das geschieht aufgrund eines der im vorhergehenden Abschnitt beschriebenen Mechanismen (Tunneln oder Lawinen-Durchbruch). Im Folgenden wird angenommen, dass die Tunnel-Effekte keine Rolle spielen und der Durchbruch aufgrund von Lawinen-Multiplikation stattfindet.

Der Geiger-Modus beschreibt einen Zustand der Diode, in dem die angelegte Versorgungsspannung  $V_{DD}$  größer ist als die Durchbruch-Spannung  $V_{BR}$  (Abb. 4.3, Punkt A). Im quasistatischen Zustand ist das nicht möglich. Betrachtet man die Diode innerhalb eines kurzen Zeitraums<sup>10</sup>, in dem keinerlei Ladungsträger-Generation in der Raumladungszone stattfindet, so bricht diese in diesem Zustand nicht durch. Dann existieren in der Raumladungszone keine Ladungsträger, die den Multiplikationsprozess in Gang bringen.

---

<sup>10</sup> Der Zeitraum ist Abhängig von der verwendeten Diode. Zum Beispiel beträgt dieser bei einer Diode mit einer Dunkelzählrate von 50 Hz [95] 20 ms.



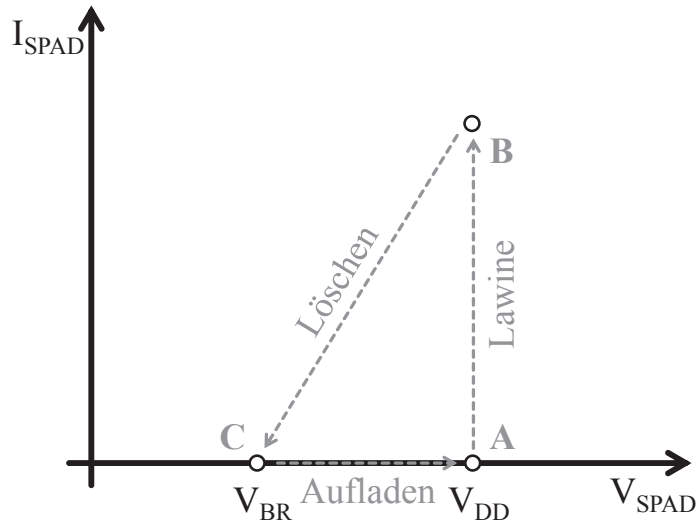


Abb. 4.3: Betriebszyklus einer SPAD nach [96]. Eine Versorgungsspannung  $V_{\text{DD}}$  versetzt die Diode in einen Zustand über den Durchbruch (A). Bei Generation von Ladung in der Raumladungszone wird eine Lawine ausgelöst und der SPAD-Strom steigt bei nahezu konstanter Spannung an (B). Durch einen Löschkreis wird die Spannung an der SPAD auf oder unter die Durchbruchspannung  $V_{\text{BR}}$  gesenkt. Dabei sinkt auch der SPAD-Strom (C). Eine erneute Erhöhung der SPAD-Spannung führt zum Wiederaufladen der Diode für den Geiger-Betrieb (A).

Wird in diesem Zustand ein Ladungsträger in der Raumladungszone generiert (zum Beispiel durch die Absorption eines Photons), dann erzeugt dieser im Idealfall einen makroskopischen Diodenstrom durch Lawinen-Multiplikation. Dieser Strom erreichen einen Wert, der von der Spannungsdifferenz zwischen angelegter Spannung und der Durchbruch-Spannung, der Überspannung, sowie dem Widerstand der Raumladungszone der Diode abhängt [80] (Abb. 4.3, Punkt B). Ohne weiteres Eingreifen würde dieser Strom dauerhaft durch die Diode fließen, bis diese aufgrund der damit einhergehenden Temperaturerhöhung zerstört werden würde. Wird jedoch das an der Diode anliegende Potential in diesem Zustand unterhalb der Durchbruch-Spannung gesenkt, dann kommt der Stromfluss zum Erliegen (Abb. 4.3, Punkt C). Danach kann die Diode erneut über der Durchbruch-Spannung in Sperrrichtung betrieben werden bis der nächste Ladungsträger in der Raumladungszone generiert wird und es erneut zu einem makroskopischen Strom kommt.

Das Absenken der Sperrspannung unter die Durchbruch-Spannung kann mit Hilfe einer externen Lösch- oder *Quenching*-Schaltung bewerkstelligt werden. Dieses Konzept wird im nächsten Abschnitt beschrieben.

#### 4.1.2.1 Lösch-Schaltkreise

Der Geiger-Modus ist eine sehr effektive Methode, um zum Beispiel elektromagnetische Strahlung mit sehr schwacher Intensität zu detektieren. Im Idealfall reicht bereits ein einziges Photon (entsprechend einem Elektron-Loch-Paar) aus, um einen sehr großen Stromfluss zu erzeugen. Problematisch jedoch ist, dass die Diode durch einen solchen Strom zerstört werden kann. Deshalb ist es notwendig, dass der Stromfluss nach möglichst kurzer Zeit wieder gestoppt wird. Das wird bewerkstelligt, indem die Spannung an der Diode unter die Durchbruch-Spannung gesenkt wird. Dafür werden unterschiedliche Schaltungskonzepte verwendet. Diese Schaltungen werden in der Literatur als *Quenching*-Schaltungen bezeichnet.

Prinzipiell wird zwischen zwei unterschiedlichen Schaltungskonzepten zur Realisierung eines Lösch-Schaltkreises unterschieden, dem passiven und dem aktiven Schaltkreis [80]. Zudem können beide Ansätze kombiniert werden, um die Vorteile auszunutzen und die Schwächen zu mildern oder zu vollständig zu vermeiden. Der Zyklus, bestehend aus dem Auslösen der Lawine, dem Löschen der Lawine und dem Wiederaufladen der SPAD in den Betriebszustand, ist in Abb. 4.3 dargestellt. Dieser Zyklus wiederholt sich bei allen drei Varianten der Löschsaltkreise. Die folgende Beschreibung der Funktion der Löschsaltkreise ist sinngemäß nach [80] wiedergegeben.

Die drei Konzepte von Lösch-Schaltkreisen sind in Abb. 4.4 dargestellt. Im Fall des passiven Lösch-Schaltkreises (Abb. 4.4, a)) wird ein Widerstand verwendet, der mit der Photodiode in Serie geschaltet ist. Ohne einen Stromfluss fällt die gesamte Versorgungsspannung an der Diode ab. Diese Versorgungsspannung ist die Summe der Durchbruch-Spannung und der Überspannung. Wird eine Lawine ausgelöst, dann fließt ein makroskopischer Strom durch die Diode und den Widerstand. Dabei steigt die Spannung am Widerstand und gleichzeitig sinkt die Spannung an der Diode. Durch eine geeignete Wahl des Widerstands fällt die Diodenspannung unter die Durchbruch-Spannung und die Lawinen-Multiplikation wird gestoppt. Der Dioden-

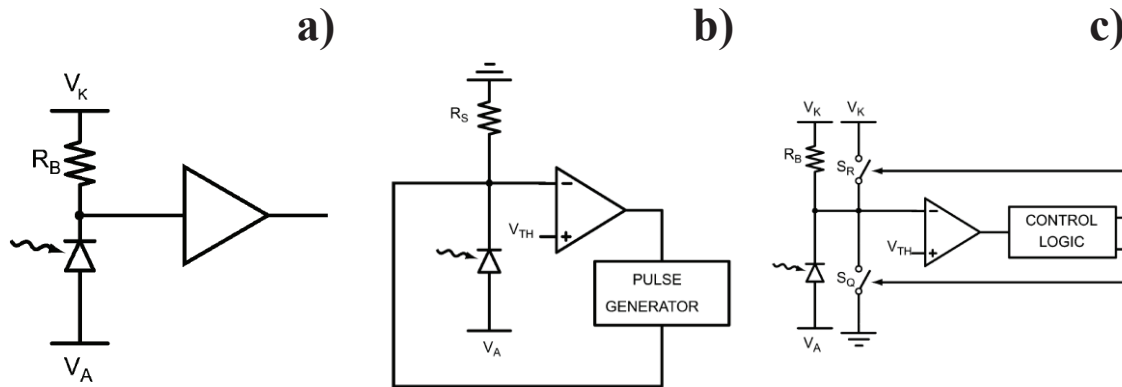


Abb. 4.4: Schaltungskonzepte von Lösch-Schaltkreisen nach [80]. Passiver a), aktiver b) und gemischter c) Lösch-Schaltkreis.

strom sinkt gleichzeitig und die Spannung über der Diode steigt wieder an. Dadurch gelangt die Diode wieder in den Zustand der Überspannung und der Prozess kann von vorne beginnen.

Bei einem aktiven Lösch-Schaltkreis wird die Sperrspannung an der SPAD aktiv abgeschaltet, nachdem ein Stromimpuls detektiert worden ist. Der prinzipielle Aufbau des Schaltkreises ist in Abb. 4.4, b) gezeigt. An der Anode der Diode liegt die gesamte Spannung (Summe der Durchbruch-Spannung und der Überspannung) an. Über einen Serienwiderstand ist die SPAD zur Masse verbunden. Das Potential am Referenzknoten zwischen Widerstand und SPAD wird an einem Komparator mit einem Referenzpotential  $V_{TH}$  verglichen. Der Ausgang des Komparators aktiviert einen Pulsgenerator, der das Potential am Referenzknoten beeinflussen kann. Wird eine Lawine in der SPAD ausgelöst, dann verändert sich das Potential am Referenzknoten. Das führt dazu, dass der Pulsgenerator aktiviert wird, wenn das Referenzpotential überschritten wird. Der Pulsgenerator schaltet die SPAD ab, indem die Spannung an der SPAD unter die Durchbruch-Spannung verschoben wird. Dadurch kommt die Lawine zum Stillstand und das Potential am Referenzknoten fällt wieder unter das Referenzpotential, weil durch die SPAD kein Strom mehr fließt. Der Pulsgenerator wird dann abgeschaltet und das Potential an der SPAD steigt wieder auf die Gesamtspannung (Durchbruch-Spannung und Überspannung) an. Dieser Zyklus beginnt danach wieder von vorne.

Beim gemischten Lösch-Schaltkreis werden das passive Löschen und das aktive Aufladen der SPAD kombiniert. Wieder wird das Potential an einem Referenzknoten zwischen SPAD und Widerstand verwendet, um eine Logikschaltung über einen Komparator zu aktivieren. Zunächst sind beide Transistoren  $S_R$  und  $S_Q$  (Abb. 4.4 c)) deaktiviert. Sobald eine Lawine auslöst, wird die Logikschaltung aktiviert und der Quenching-Transistor  $S_Q$  schließt den Referenzknoten mit der Masse kurz. Dabei wird die SPAD abgeschaltet und die Lawine gestoppt. Das Referenzpotential fällt auf null und die Logikschaltung aktiviert den Auflade-Transistor  $S_R$ , der dafür sorgt, dass das Potential an der SPAD wieder auf die Betriebsspannung (Summe von Durchbruch-Spannung und Überspannung) gebracht wird. Dadurch ändert sich das Potential am Referenzknoten und beide Transistoren  $S_Q$  und  $S_R$  werden wieder deaktiviert. Der Ausgangszustand ist also erreicht und der Zyklus beginnt wieder von vorne.

Der Lösch-Schaltkreis kontrolliert das zeitliche Verhalten der SPAD sowie die Ladungsmenge (Pulsladung), die während eines Lawinendurchbruchs durch die SPAD fließt. Ein wichtiger Aspekt in Bezug auf den Lösch-Schaltkreis ist die Komplexität der Schaltung, da sich diese unmittelbar auf die Größe und den Füllfaktor der SPAD auswirkt. Die Kenngrößen Lösch-Zeit, Auflade-Zeit, Pulsladung, After-Pulsing (Abschnitt 4.1.3.1) und Komplexität sind in Tab. 4.2 für die drei Schaltungskonzepte aufgeführt.

Der einfachste Lösch-Schaltkreis ist die passive Lösch-Schaltung. Da die Lawine unmittelbar durch den SPAD-Strom gelöscht wird, fließt eine relativ geringe Ladungsmenge durch die SPAD. Der Nachteil dieser Schaltung ist jedoch die lange

Tab. 4.2: Vergleich der Kenngrößen von Lösch-Schaltkreis-Konzepten nach [80].

| Konzept  | Lösch-Zeit / ns | Auflade-Zeit / ns | Pulsladung / pC | After-Pulsing   | Komplexität  |
|----------|-----------------|-------------------|-----------------|-----------------|--------------|
| passiv   | 11,9            | 18,9              | 5,24            | nicht steuerbar | einfach      |
| aktiv    | 13,5            | < 10              | 13,5            | steuerbar       | komplex      |
| gemischt | 13,5            | < 10              | 5,10            | steuerbar       | sehr komplex |

Auflade-Zeit, da das Wiederaufladen der SPAD über einen RC-Schaltkreis stattfindet und der Löschwiderstand typischerweise mehrere hunderttausend Ohm beträgt. Diesen Nachteil hat die aktive Löscho-Schaltung nicht. Allerdings dauert der Löscho-Vorgang länger als beim passiven Schaltungskonzept, wodurch auch eine deutlich größere Ladungsmenge durch die SPAD fließt. Der gemischte Löscho-Schaltkreis kombiniert das schnelle Löschen des passiven Schaltkreises und das schnelle Aufladen des aktiven Schaltkreises. Dies wirkt sich jedoch deutlich auf die Größe und Komplexität der Schaltung aus wodurch der Füllfaktor bei solchen Löscho-Schaltkreis-Konzepten sehr klein wird.

Beim aktiven und gemischten Löscho-Schaltkreis kann die Wahrscheinlichkeit für das korrelierte Afterpulsing (siehe Abschnitt 4.1.3.1) durch die Kontrolle der Aufladezeit verringert werden, indem die Aufladezeit definiert vorgegeben wird.

### 4.1.3 Kenngrößen von SPADs

SPADs werden durch Kenngrößen beschrieben, die ihre Leistungsfähigkeit in Bezug auf die Effizienz der Detektion von Strahlung und das zeitliche Auflösungsvermögen angeben. Diese Kenngrößen werden durch parasitäre Einflüsse vermindert. Der Hauptmechanismus, der die Effizienz einer SPAD vermindert, ist die Dunkelzählrate DCR. Die physikalischen Ursachen für die DCR werden im nächsten Abschnitt beschrieben. In den darauffolgenden Abschnitten werden dann die beiden Kenngrößen Photon-Detektionseffizienz und das zeitliche Auflösungsvermögen diskutiert.

#### 4.1.3.1 Dunkelzählrate

Bei konventionellen Photodioden ist der Dunkelstrom die hauptsächliche Störgröße, die die Detektion des eigentlichen Signals behindert. Das Äquivalent bei den SPADs ist die Dunkelzählrate. Diese entsteht aufgrund von Generation von Elektron-Loch-Paaren innerhalb der Raumladungszone der SPAD, die sich über der Durchbruch-Spannung befindet. Die DCR ist entweder unkorreliert oder korreliert [23]. Unkorrelierte DCR kann aufgrund von thermischer Generation, aufgrund von Störstellen(*Traps*)-Generation oder aufgrund von Tunneleffekten entstehen [70].

Dabei spielen Tunneleffekte besonders dann eine Rolle, wenn Dotierung oder Überspannung hoch sind [70]. Störstellen existieren hauptsächlich an Grenzflächen des Siliziums [70].

Korrelierte DCR entsteht aufgrund von elektrischem und optischem Übersprechen und aufgrund von Afterpulsing [70]. Afterpulsing entsteht, indem Ladungsträger, die während eines Lawinen-Impulses von Traps eingefangen worden sind, nach dem Wiederaufladen der SPAD freigelassen werden. Diese verursachen eine weitere Lawine. Die Trap-Zeiten können im Bereich von 50 Nanosekunden liegen [70] und somit in der Größenordnung der Auflade- und Löschzeiten von SPADs (siehe Tab. 4.2).

Optisches Übersprechen entsteht vorwiegend dann, wenn eine große Anzahl von Ladung bei einem Durchbruchprozess entsteht. Diese Ladungsträger können dann rekombinieren und dabei Photonen erzeugen, die benachbarte SPADs aktivieren [70].

Elektrisches Übersprechen wird durch Ladungsträger verursacht, die in ein benachbartes SPAD überspringen und dort eine Lawine auslösen. Das ist vorwiegend bei einer dicht gepackten Anordnung von SPADs der Fall [70].

Eine unerwünschte Generation von Elektron-Loch-Paaren kann zu einer Lawine und dadurch zu einem Strom-Impuls führen. Die Wahrscheinlichkeit dafür ist abhängig von der elektrischen Feldstärke innerhalb der Raumladungszone, da Ladungsträger die Raumladungszone durchqueren können, ohne eine Lawine auszulösen [5]. Die Feldstärke wiederum hängt bei einem gegebenen pn-Übergang von der angelegten Sperrspannung ab. Dabei ist die Größe der Überspannung entscheidend.

Die Wahrscheinlichkeit, dass ein Elektron-Loch-Paar eine Lawine auslöst, wird im Folgenden nach [5] hergeleitet. Das Ergebnis gilt sowohl für parasitäre Lawinen-Impulse (thermisch erzeugte Ladungsträger) als auch für Ladungsträger, die durch Photonen erzeugt wurden. Die zugrunde liegende Struktur ist ein abrupter pn-Übergang wie in Abb. 4.5 dargestellt. Auf der linken Seite ( $z=0$ ) ist ein hoch dotierter ( $P^+$ ) und rechts davon ein gering dotierter ( $N^-$ ) Bereich. Die Raumladungszone erstreckt sich hauptsächlich innerhalb des  $N^-$  Gebiets und hat die Weite  $w_{RLZ}$ .  $P_t(z)$  ist die Wahrscheinlichkeit, dass ein Elektron-Loch-Paar, das am Ort  $z$  innerhalb der Raumladungszone generiert worden ist, eine Lawine auslöst. Diese ist gegeben durch

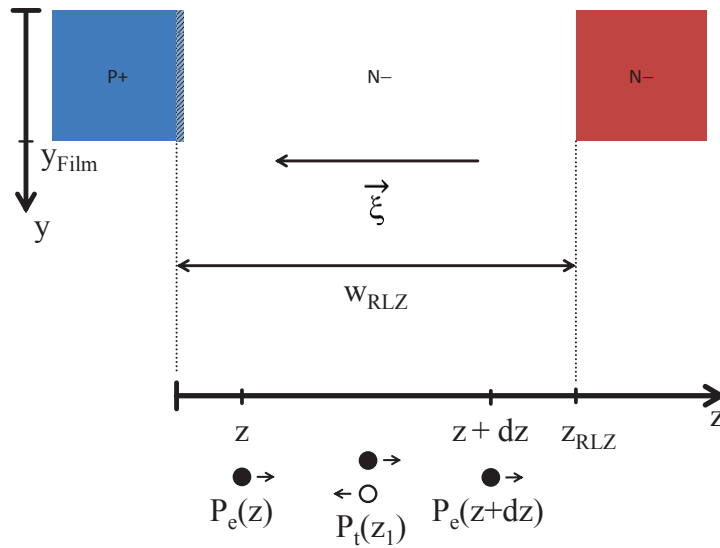


Abb. 4.5: Abrupter pn-Übergang zur Herleitung der Auslösewahrscheinlichkeit für eine Lawine nach [5]. Innerhalb der Raumladungszone kann ein Elektron (voller Kreis) oder ein Loch (leerer Kreis) eine Lawine auslösen. Die Gesamtwahrscheinlichkeit dafür ist  $P_t(z)$ .

$$P_t(z) = P_e(z) + [1 - P_e(z)]P_h(z). \quad (4.5)$$

Die Gesamtwahrscheinlichkeit für das Auslösen einer Lawine  $P_t(z)$  ist die Summe von zwei Termen: der Wahrscheinlichkeit  $P_e$ , dass das Elektron die Lawine auslöst und der Wahrscheinlichkeit, dass das Loch die Lawine auslöst im Fall, dass es dem Elektron nicht gelingt.  $P_h$  ist dabei die Wahrscheinlichkeit, dass das Loch eine Lawine auslöst.

Die Wahrscheinlichkeit, dass das Elektron am Ort  $z$  eine Lawine auslöst, ist die Summe von zwei Termen. Der erste Term ist die Wahrscheinlichkeit, dass das Elektron beim Durchqueren der Distanz  $dz$  einen Stoß mit dem Gitter erfährt und dabei ein Elektron-Loch-Paar erzeugt:  $\alpha_e(z)dz$ . Dabei ist die Wahrscheinlichkeit, dass dieses Elektron-Loch-Paar dann eine Lawine auslöst  $P_t(z_1)$ <sup>11</sup>. Der zweite Term berücksichtigt die Wahrscheinlichkeit, dass das Elektron die Distanz  $dz$  durchquert, ohne eine Lawine auszulösen:  $1 - \alpha_e(z)dz \cdot P_t(z)$ . In diesem Fall kann das Elektron eine Lawine in einer Tiefe größer als  $z+dz$  auslösen mit der Wahrscheinlichkeit  $P_e(z+dz)$ .

<sup>11</sup>  $z_1$  ist entsprechend Abb. 4.5 ein Ort zwischen  $z$  und  $dz$ .

Zusammengefasst ergibt das

$$P_e(z) = \alpha_e(z)dz \cdot P_t(z) + [1 - \alpha_e(z)dz \cdot P_t(z)]P_e(z + dz). \quad (4.6)$$

Aus dieser Gleichung kann die folgende Differenzialgleichung für Elektronen

$$\frac{d}{dz}P_e(z) = \alpha_e(z)P_e(z)P_t(z) - \alpha_e(z)P_t(z), \quad (4.7)$$

bzw. für Löcher

$$\frac{d}{dz}P_h(z) = -\alpha_h(z)P_h(z)P_t(z) + \alpha_h(z)P_t(z), \quad (4.8)$$

abgeleitet werden. Diese beiden Gleichungen sind über die Wahrscheinlichkeit  $P_t(z)$  (Gleichung (4.5)), dass ein Elektron-Loch-Paar eine Lawine auslöst, gekoppelt. Diese gekoppelte Differentialgleichung kann numerisch gelöst werden unter der Berücksichtigung von Randbedingungen. Die Randbedingung für Löcher ist, dass ein Loch, welches an der Grenzfläche zwischen Raumladungszone und P+ Bereich (siehe Abb. 4.5) generiert wird, keine Lawine auslösen kann, die Wahrscheinlichkeit also Null ist. Analog gilt die gleiche Randbedingung für Elektronen am Übergang Raumladungszone zum Bereich N-.

Die Ionisationskoeffizienten  $\alpha_e$  bzw.  $\alpha_h$  können dabei nach dem Modell beschrieben in 4.1.1.4 [59] berechnet werden, wenn das elektrische Feld am pn-Übergang bekannt ist. Dieses kann zum Beispiel durch TCAD-Simulation oder durch Lösung der Poisson-Gleichung ermittelt werden.

#### 4.1.3.2 Photon-Detektionseffizienz

Die Photon-Detektionseffizienz PDE ist das Verhältnis der Photonen, die von der SPAD detektiert werden, zu der Anzahl der Photonen, die auf die aktive Fläche der SPAD treffen [23].

Bevor Photonen in der Raumladungszone einer SPAD ein Elektron-Loch-Paar erzeugen, müssen diese zur Raumladungszone gelangen und dort absorbiert werden. Die externe Quanteneffizienz  $\eta_{\text{ext}}$  beschreibt diesen Prozess in Abhängigkeit der Wellenlänge. Diese wurde für die vorliegende Technologie in Kapitel 3 simuliert



und gemessen. Wie in Abb. 3.4 gezeigt ist die Eindringtiefe von Photonen wellenlängenabhängig. Diese Randbedingung beeinflusst auch die Photon-Detektionseffizienz, weil die Position der Ladungsträgergeneration in der Raumladungszone einen Einfluss auf die Wahrscheinlichkeit hat, mit der eine Lawine ausgelöst wird (Abschnitt 4.1.3.1). Die externe Quanteneffizienz sowie die wellenlängenabhängige Eindringtiefe beeinflussen die Detektionseffizienz. Sind diese Größen bekannt, dann kann die wellenlängenabhängige PDE berechnet werden [5]

$$PDE(\lambda) = \eta_{ext}(\lambda) \int_0^{w_{RLZ}} P_t(z) \alpha(\lambda) \exp(-\alpha(\lambda)z) dz. \quad (4.9)$$

Diese Gleichung gilt unter der Annahme, dass nur die in der Raumladungszone absorbierte Photonen eine Lawine auslösen. Diffusionseffekte sind also vernachlässigt.

Ebenso wie die DCR ist auch die PDE sehr stark vom elektrischen Feldverlauf abhängig. Grundsätzlich sollte das elektrische Feld möglichst groß sein und sich über einen möglichst weiten Bereich ausdehnen, damit große PDE erreicht werden können.

#### 4.1.3.3 Zeitliches Auflösungsvermögen

Das zeitliche Auflösungsvermögen gibt die Mindestdauer an, die zwischen zwei aufeinanderfolgenden Impulsen vergeht. Dieses Auflösungsvermögen ist ein sehr wichtiger Parameter, weil es die maximal erreichbare Zählrate eines SPAD angibt [23]. In der Literatur wird diese Dauer als Totzeit bezeichnet.

Die Totzeit setzt sich zusammen aus der Zeit, die nötig ist eine Lawine zu löschen (Löschzeit) und der Zeit, die SPAD wieder in den Zustand zu versetzen, dass diese einen weiteren Ladungsträger in der Raumladungszone detektieren kann (Aufladezeit). Um das korrelierte Afterpulsing zu vermeiden, sollte die Wartezeit bis zum nächsten Aufladen nicht zu kurz gewählt werden (Abschnitt 4.1.3.1).

Zusätzlich zum Auflösungsvermögen beeinflusst die Laufzeitstreuung (*timing jitter*) das zeitliche Verhalten der SPAD. Die Laufzeitstreuung entsteht aufgrund der statistischen Verteilung von Verzögerungen zwischen der Ankunft eines Photons in der Raumladungszone und dessen tatsächlicher Detektion durch den Lawinenstrom [23]. Die Verteilung der Laufzeitstreuung besitzt eine gaußförmige Komponente

aufgrund der statistischen Verteilung der Lawinen-Entstehung und eine exponentielle Komponente aufgrund von Diffusionsprozessen außerhalb der Raumladungszone [23]. Die Laufzeitstreuung wird bestimmt, indem die Halbwertsbreite FWHM der Verteilung betrachtet wird. Diese liegt typischerweise in der Größenordnung von einhundert Pikosekunden [23].

#### 4.1.4 Hot-Carrier-Effekt

Beim Betrieb einer Diode in Sperrrichtung herrschen elektrische Feldstärken über  $1 \times 10^7$  V/m. Elektronen oder Löcher können in diesem Feld eine kinetische Energie zwischen zwei Gitterstößen erreichen, die einer äquivalenten Temperatur von 1000 K bis 10000 K entspricht [79]. Diese Ladungsträger werden heiße Ladungsträger (*hot carriers*) genannt. Herrscht diese elektrische Feldstärke an der Grenzfläche zwischen Silizium und Siliziumdioxid, dann können diese heißen Ladungsträger die Barriere zwischen den Materialien (3,2 eV bzw. 4,7 eV für Elektronen bzw. Löcher) überwinden [79]. Diese Ladung durchquert das Oxid, wird im Oxid gefangen [81] oder erzeugt aufgrund der hohen kinetischen Energie Schäden [79] [82].

Wenn Ladung das Oxid durchquert, dann führt das zu einem Strom an der Elektrode jenseits des Oxids (Gate) [83] [84] [85] [86]. Gleichzeitig können Elektronen an Störstellen, die im Oxid vorhanden sind, gefangen werden, wodurch eine negative Ladung im Oxid entsteht [84] [85]; oder Elektronen werden von gebundenem Wasserstoff-Atomen aufgenommen, wodurch eine negative Störstelle im Oxid zurückbleibt [85]. Diese Ladung verändert das elektrische Feld am Oxid und verursacht im Fall eines abrupten p+n-Übergangs eine Erhöhung der Durchbruch-Spannung [85]. Dieses Phänomen wird als *walk-out* bezeichnet [84] [85] [86]. Der walk-out-Effekt hat einen sättigenden Charakter (Sättigung der Änderung der Durchbruch-Spannung des pn-Übergangs). Die Geschwindigkeit, mit der die Sättigung erreicht wird, hängt von der Größe des Lawinen-Stroms ab [84] [85].

Schäden aufgrund der hohen kinetischen Energie verursachen eine Veränderung des elektrischen Felds an der Grenzfläche von Silizium und Siliziumdioxid. Die Erzeugung von Oberflächen-Traps ist im Fall der Löcher drei bis vier Größenordnungen effektiver als bei Elektronen (die Effizienz für Elektronen liegt bei  $5 \times 10^{-6}$  [79])

und die Einfangrate von Löchern (etwa 10 %) ist fünf Größenordnungen höher [79]. Die stärkste Veränderung findet am Ort des höchsten elektrischen Feldes statt [79].

In der TF-SOI CMOS-Technologie findet der Lawinendurchbruch einer pin-Diode immer in der Nähe der Grenzfläche zwischen Si und SiO<sub>2</sub> statt. Die Spannung am Back-Gate (also das elektrische Feld im vergrabenen Oxid) hat einen Einfluss auf das Durchbruch-Verhalten dieser pin-Diode (Abb. 4.2). Durch den Hot-Carrier-Effekt wird das effektive elektrische Feld im vergrabenen Oxid modifiziert. Folglich hat dieser Effekt einen Einfluss auf das Durchbruchverhalten der pin-Diode, weil die Steuerung durch das Back-Gate, analog zum MOSFET, kapazitiv erfolgt. Im Allgemeinen verursachen Oxidladungen im Fall vom MOSFET eine Verschiebung der Schwellspannung [79] [82]. Die Verschiebungsrichtung hängt von der Polarität der gefangenen Ladungsträger ab, der Betrag der Verschiebung von der Ladungsmenge.

## 4.2 Methoden zur SPAD-Charakterisierung

In diesem Abschnitt werden die Methoden vorgestellt, nach denen die Untersuchung der pin-Dioden der SOI CMOS-Technologie durchgeführt worden ist. Dazu wird zunächst das Durchbruch-Verhalten untersucht, bevor die Dioden im Geiger-Modus betrieben werden und deren Eigenschaften als SPADs charakterisiert werden.

### 4.2.1 Charakterisierung des Durchbruchs im SOI

Das Durchbruch-Verhalten spielt bei einer SPAD eine entscheidende Rolle. Die involvierten Durchbruch-Mechanismen wie Lawinenmultiplikation oder Tunneleffekte geben Auskunft über die Eignung einer Diode als SPAD. Ebenso ist die Kenntnis der Durchbruch-Spannung entscheidend, um die Überspannung einstellen zu können. Die Überspannung ihrerseits hat enormen Einfluss auf das Verhalten in Bezug auf die Detektion von Strahlung (Abschnitt 4.1.3). In den zwei folgenden Abschnitten werden die Charakterisierungs-Methoden des Durchbruch-Verhaltens von pin-Dioden der SOI CMOS-Technologie mittels elektrischer Messungen und numerischer Simulationen vorgestellt.

#### 4.2.1.1 Elektrische Charakterisierung

Das Durchbruch-Verhalten von pin-Dioden der verwendeten SOI CMOS-Technologie wurde auf Waferebene charakterisiert. Dazu wurden Messsysteme verwendet, die in Abschnitt 3.2.1 beschrieben sind.

Zur Charakterisierung des Durchbruchs in Abhängigkeit des Back-Gates wurden zwei unterschiedliche Konzepte genutzt, die schrittweise Messung bei festem Back-Gate-Potential und die Messung bei konstantem Dioden-Strom. Dies wurde durchgeführt, um zu überprüfen, ob die Messung bei einem eingepprägten konstanten Diodenstrom im Durchbruch, der möglicherweise zur Veränderung der Durchbruchspannung führt, das Messergebnis beeinträchtigt (siehe Abschnitt 4.3.2). Dieser Einfluss ist bei der Messung in der die Back-Gate-Spannung schrittweisen verändert wird (und während einer Messung konstant ist) nicht zu erwarten und dient deshalb als Vergleich.

Die Messung bei konstantem Back-Gate-Potential entspricht der hier verwendeten Standard-Methode. Das Potential an der Anode sowie am Back-Gate ist während eines Messpunkts konstant. Das Kathoden-Potential wird erhöht, bis ein definierter Durchbruch-Strom von etwa  $1 \text{ nA}/\mu\text{m}$  erreicht wird. Ist dies der Fall, dann wird die Messung abgebrochen. Das Anoden-Potential  $V_A$  beträgt  $V_A=0 \text{ V}$ . Das Back-Gate-Potential  $V_{BG}$  wird im Bereich  $-100 \text{ V} \leq V_{BG} \leq 100 \text{ V}$  schrittweise variiert, ist jedoch für jede Messung konstant.

Die Messung bei konstantem Dioden-Strom im Durchbruch wird durchgeführt, um die Back-Gate abhängige Kennlinie (Abb. 4.2) der untersuchten pin-Dioden aufzunehmen. Das Anoden-Potential beträgt wiederum  $V_A=0 \text{ V}$ . An der Kathode wird ein konstanter Strom von etwa  $1 \text{ nA}/\mu\text{m}$  eingeppräg und das Potential am Back-Gate wird im Bereich  $-100 \text{ V} \leq V_{BG} \leq 100 \text{ V}$  variiert. Der konstante Strom an der Kathode wird erreicht, indem das Potential an dieser Elektrode vom Messgerät angepasst wird. Durch die Aufnahme dieses Potentials ergibt sich die Kennlinie entsprechend Abb. 4.2.

Bei der Regelung der Spannung zur Einstellung eines konstanten Stroms treten Spannungsspitzen auf, die dazu führen, dass die Diode während der Messung zerstört wird. Praktisch hat sich bei dieser Messmethode herausgestellt, dass ein in Serie geschalteter Widerstand von einigen hunderttausend Ohm die Zerstörung der untersuchten pin-Diode verhindert. Dabei fällt das Potential bei einer solchen Spannungsspitze am Widerstand ab. Gleichzeitig beeinflusst der Widerstand nicht die quasistatische Messung, weil der eingeprägte Strom konstant ist und die Spannung an der Diode direkt gemessen wird.

Die Messung bei konstantem Dioden-Strom erlaubt die Aufnahme der Back-Gate-abhängigen Durchbruch-Kennlinie mit einer einzigen Messroutine. Die Messung bei konstantem Back-Gate-Potential erfordert, je nach Wahl der Back-Gate-Potentiale, entsprechend viele Einzelmessungen. Ein Vergleich beider Messmethoden ist in Abb. 4.6 gezeigt, wobei die Messung mit der schrittweisen Veränderung des Back-Gate-Potentials als volle Kreise und die Messung mit konstantem Strom als leere Kreise dargestellt ist. Es ist zu sehen, dass beide Messmethoden ein nahezu identisches Ergebnis liefern.

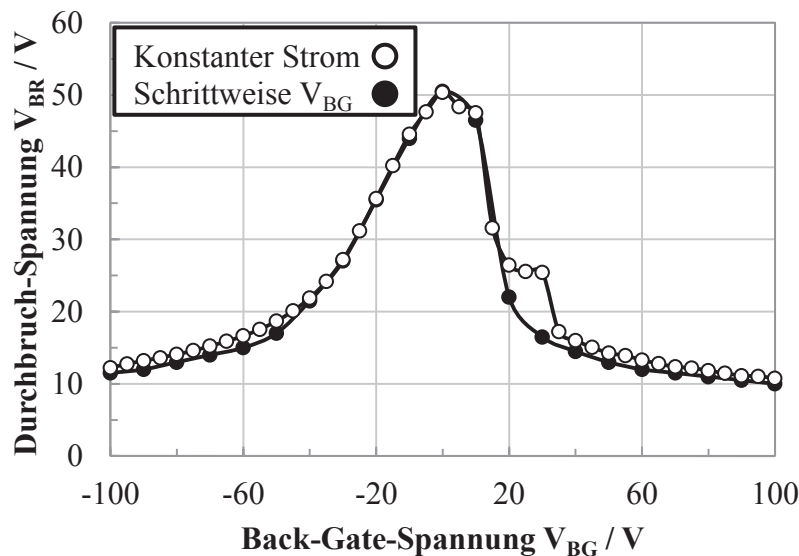


Abb. 4.6: Vergleich der Messmethoden zur Bestimmung der Back-Gate abhängigen Durchbruch-Kennlinie. Die Messungen bei der die Back-Gate-Spannung Schrittweise durchgefahen wurde (volle Kreise) und bei konstantem Dioden-Strom (leere Kreise) sind dargestellt. Die Länge der Diode beträgt  $L_i=3\ \mu\text{m}$  und die Dicke des Silizium-Films 150 nm.

Ein Unterschied beider Kennlinien ist im Bereich zwischen  $V_{BG}=20\text{ V}$  und  $V_{BG}=40\text{ V}$  zu sehen. Dabei zeigt die Messung bei eingepprägtem Strom eine höhere Durchbruchspannung. In diesem Bereich der Back-Gate-Spannung fließt ein Strom über das Back-Gate (siehe Abb. 3.21). Dabei verändert sich aufgrund des Hot-Carrier Effekts die effektive Back-Gate-Spannung und dadurch die Durchbruchspannung wie in Abb. 4.6 beobachtet. Bei der Messmethode mit festem Back-Gate-Potential ist dieser Effekt nur zu Beginn der Messung, in Form eines erhöhten Dunkelstroms an der Kathode (vgl. Abb. 3.20), zu beobachten, hat jedoch keinen Einfluss auf die Durchbruch-Spannung.

Zur Ermittlung der Back-Gate-abhängigen maximalen Durchbruch-Spannung einer pin-Diode ist die konstant-Strom-Methode praktisch mehr von Bedeutung, da nur eine einzige Messung erforderlich ist.

#### 4.2.1.2 Simulation

Zur Simulation des Durchbruch-Verhaltens von pin-Dioden in der SOI CMOS-Technologie wurde Synopsys<sup>®</sup> TCAD verwendet. Dieses Simulationswerkzeug erlaubt die Berücksichtigung unterschiedlicher Modelle, die den Sperrstrom von pn-Übergängen nachbilden. In der vorliegenden Arbeit wurden folgende Mechanismen bei der Wahl der Modelle berücksichtigt:

- Shockley-Read-Hall Rekombination
- Oberflächen-Shockley-Read-Hall Rekombination,
- Auger-Rekombination
- Band-zu-Band Tunneln,
- störstellenunterstütztes Tunneln,
- Lawinenmultiplikation,
- Temperaturabhängigkeit,
- Abhängigkeit von der Dotierstoffkonzentration,
- Abhängigkeit vom elektrischen Feld.

Die wichtigsten Rekombinationsmechanismen sind Shockley-Read-Hall (SRH) Rekombination, strahlende Rekombination und Auger-Rekombination [52]. Bei großen Ladungsträgerdichten wird die Lebensdauer von Ladungsträgern durch die Auger-Rekombination dominiert und bei kleinen Ladungsträgerdichten von SRH-

Rekombination [52]. Strahlende Rekombination spielt im Silizium (indirekter Halbleiter) keine Rolle [52]. Da im Fall eines gesperrten pn-Übergangs keine großen Ladungsträgerdichten in der Raumladungszone vorherrschen, ist SRH-Rekombination der maßgebliche Prozess, der den Leckstrom dominiert. In TCAD ist folgende Formel für die SRH-Rekombination implementiert [61]

$$R_{net}^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p(n + n_1) + \tau_n(p + p_1)}. \quad (4.10)$$

Dabei sind  $\tau_n$  bzw.  $\tau_p$  die Lebensdauern von Elektronen bzw. Löchern und  $n_1$  bzw.  $p_1$  sind folgendermaßen definiert [61]

$$n_1 = n_{i,eff} \exp\left(\frac{E_T}{k_B T}\right), \quad (4.11)$$

$$p_1 = n_{i,eff} \exp\left(-\frac{E_T}{k_B T}\right). \quad (4.12)$$

In diesen beiden Gleichungen beschreibt  $E_T$  den Abstand zwischen dem Niveau des Traps und dem intrinsischen Niveau im Halbleiter [61]. Der Standard-Wert in der Simulation ist  $E_T=0$  eV [61].

Die Lebensdauern werden genutzt, um SRH-Rekombination in Abhängigkeit der Temperatur, der Dotierstoffkonzentration sowie des elektrischen Feldes abzubilden. Dabei werden die einzelnen Abhängigkeiten durch folgenden Ausdruck berücksichtigt [61]

$$\tau_{n,p} = \tau_N \frac{f(T)}{1 + g_c(F)}. \quad (4.13)$$

Die Dotierungsabhängigkeit ist in  $\tau_N$  beinhaltet, die Temperaturabhängigkeit in  $f(T)$  und die Feldabhängigkeit im Faktor  $g_c(F)$  [61]. Für weitere Details zum SRH-Modell sei an dieser Stelle auf [61] und die darin enthaltenen Referenzen verwiesen.

Durch die geringe Dicke des Silizium-Films und der daraus resultierenden Nähe zu den Siliziumdioxid-Grenzflächen an Ober- und Unterseite des Films (Abb. 3.1) ist die Berücksichtigung der Oberflächen-SRH Rekombination (*surface* SRH, sSRH) notwendig. In TCAD wird der Einfluss der Grenzfläche in Abhängigkeit der

Dotierung und durch Modifikation der SRH-Formel (Gleichung (4.10)) berücksichtigt [61]

$$R_{OF,net}^{SRH} = \frac{np - n_{i,eff}^2}{\tau_p(n + n_1)/s_p + \tau_n(p + p_1)/s_n}. \quad (4.14)$$

In dieser Formel werden die dotierungsabhängigen Oberflächen-Rekombinationsgeschwindigkeiten für Elektronen  $s_n$  bzw. Löcher  $s_p$  verwendet [61]. Diese werden dotierungsabhängig durch folgende Gleichung beschrieben [61]

$$s_{n,p} = s_0 \left[ 1 + s_{ref} \left( \frac{N_i}{N_{ref}} \right)^\gamma \right]. \quad (4.15)$$

Bis auf die intrinsische Ladungsträgerdichte  $N_i$  sind alle Variablen ( $s_0$ ,  $s_{ref}$ ,  $N_{ref}$  und  $\gamma$ ) Parameter zur Beschreibung der Rekombinationsgeschwindigkeit. In allen gezeigten Simulationen wurden die Standard-Werte für diese Parameter verwendet, weil die Rekombinationsgeschwindigkeit der vorliegenden Technologie nicht bekannt ist und eine zufriedenstellende Beschreibung mit den Standard-Parametern erreicht werden konnte (vgl. Abb. 4.12). Die Standard-Parameter sind  $s_0=1 \times 10^3$  cm/s,  $s_{ref}=1 \times 10^{-3}$ ,  $N_{ref}=1 \times 10^{16}$  cm $^{-3}$  und  $\gamma=1$  [61].

In 4.1.1.2 wurde die physikalische Ursache für das B2BT beschrieben. Da besonders beim Durchbruch einer Diode große elektrische Felder vorherrschen, muss das B2BT auch bei der Simulation berücksichtigt werden. In TCAD wurde das Hurkx-Modell [76] des B2BT verwendet. Durch Aktivierung dieses Modells wird ein zusätzlicher Generations-Rekombinations-Term angewendet, der die Abhängigkeit vom elektrischen Feld und der Temperatur berücksichtigt [61].

TAT wird, ebenfalls aufgrund der vorherrschenden großen elektrischen Felder, wichtig, wenn eine Diode in Sperrrichtung nahe oder über dem Durchbruch betrieben wird (Abschnitt 4.1.1.3). Das Hurkx-TAT-Modell wurde in TCAD verwendet, um diesen Effekt zu berücksichtigen. Im Modell geschieht das, indem der feldabhängige Faktor  $g_c(F)$  bei der Berücksichtigung der Lebensdauer von Elektronen und Löchern (Gleichung (4.13)) modifiziert wird [61]. Diese Modifikation beinhaltet sowohl die Abhängigkeit vom elektrischen Feld als auch die Abhängigkeit von der Temperatur [61]. Das Hurkx-TAT-Modell hat den Modellparameter  $m_t$  (Tunnelmasse



der Ladungsträger) bzw. die Energie der Traps  $E_{\text{trap}}$  (Energiedifferenz zwischen dem Trapniveau und dem intrinsischen Niveau), deren Standardwerte von  $m_t=0.5$  bzw.  $E_{\text{trap}}=0$  eV [61] für die hier gezeigten Simulationen verwendet wurden.

Das Modell von Van Overstraeten [59] wurde bei der Simulation des Durchbruchs, verursacht durch Lawinen-Multiplikation (*avalanche generation*, AV), verwendet. Wie in Abschnitt 4.1.1.4 gezeigt, ist dieses Modell für einen weiten Bereich von elektrischen Feldern anwendbar. In TCAD wird die Temperaturabhängigkeit des Modells für die Ionisationskoeffizienten über einen Faktor  $\gamma_{\text{AV}}(T)$  berücksichtigt [61]

$$\alpha_{e,h}(E_{\text{AV}}) = \gamma_{\text{AV}}(T) \alpha_{\infty} \exp\left(-\frac{\gamma_{\text{AV}}(T)b}{|E_{\text{AV}}|}\right). \quad (4.16)$$

Die Generation von Ladungsträgern durch Lawinenmultiplikation  $G_{\text{AV}}$  wird aktiv, wenn die Weite der Raumladungszone  $w_{\text{RLZ}}$  größer wird als die mittlere freie Weglänge der Ladungsträger, so dass Stoßionisation stattfinden kann [61]

$$G_{\text{AV}} = \alpha_n n v_{\text{AV},n} + \alpha_p p v_{\text{AV},p}. \quad (4.17)$$

In dieser Gleichung sind  $v_{\text{AV},n}$  bzw.  $v_{\text{AV},p}$  die Geschwindigkeit von Elektronen bzw. Löchern.

Der Einfluss dieser Mechanismen auf den simulierten Dunkelstrom einer pin-Diode der SOI CMOS-Technologie ist in Abb. 4.7 gezeigt. Der Dunkelstrom  $I_D$  ist dabei als Funktion der Sperrspannung (normiert auf die Spannung beim Lawinen-Durchbruch) aufgetragen. Die Mechanismen SRH, sSRH, B2BT, TAT und AV sind bei einzelnen Simulationen deaktiviert worden, um den Einfluss auf den Dunkelstrom zu verdeutlichen. Das Gesamtmodell berücksichtigt alle Beiträge additiv bis auf die Lawinenmultiplikation, die als Faktor zum Gesamtstrom beiträgt. Verglichen mit dem Beitrag von SRH führt sSRH zu einer Erhöhung des Stromes, jedoch bleibt der Verlauf der Kennlinie erhalten. Bei den Tunnelmechanismen (B2BT und TAT) dominiert im gezeigten Beispiel das Band-zu-Band Tunneln, da es bereits ab einer normierten Spannung von 0,6 einsetzt, während TAT ab etwa 1,2 einen merkbaren Einfluss hat.

Abschließend ist noch darauf hinzuweisen, dass die Simulationen mit TCAD eine sorgfältige Kalibration erfordern, um quantitative Ergebnisse zu liefern. Das

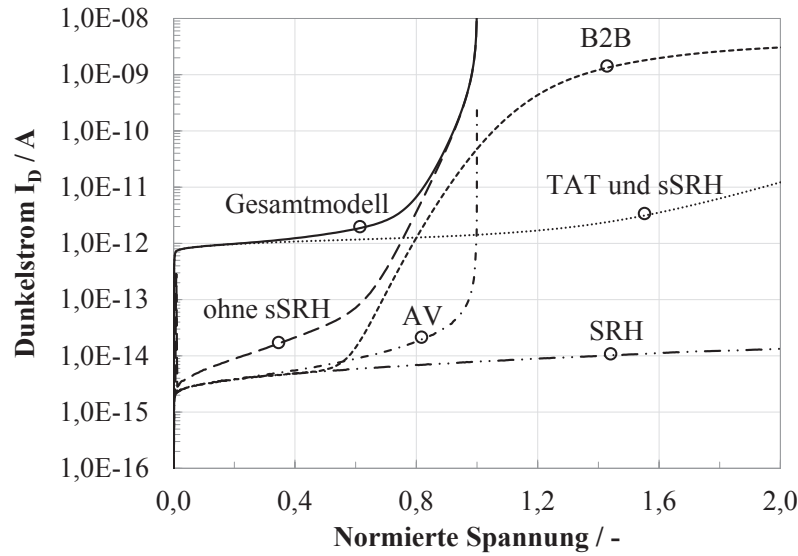


Abb. 4.7: Simulation des Dunkelstroms am Beispiel einer pin-Diode nach [88]. Die Simulation wurde bei einer Filmdicke von 120 nm und bei einer Temperatur von 300 K durchgeführt. Das Gesamtmodell ist die Summe der Beiträge von SRH, sSRH, B2B und TAT. Lawinenmultiplikation AV führt zu einer Vervielfachung (Multiplikation) des Dunkelstroms. Die Spannung ist auf den Wert beim Lawinen-Durchbruch normiert.

wurde im Rahmen dieser Arbeit nicht durchgeführt. Aufgrund der physikalischen Modelle, die in TCAD verwendet werden, können jedoch quantitative Aussagen durch Vergleiche getroffen werden.

#### 4.2.2 Dunkelzählrate und Photon-Detektionseffizienz

Wie in Abschnitt 4.1.2.1 erklärt, ist das Verhalten einer SPAD wesentlich vom verwendeten Lösck-Schaltkreis abhängig. Zu Charakterisierungszwecken wird in der vorliegenden Arbeit der einfachste Lösck-Schaltkreis, bestehend aus einem Widerstand, verwendet.

Der prinzipielle Aufbau ist in Abb. 4.8 gezeigt. Darin ist die SPAD in Serie mit dem Lösck-Widerstand  $R_Q$  an die Versorgungsspannung angeschlossen. Die Versorgungsspannung ist die Summe der Durchbruchspannung  $V_{BR}$  und der Überspannung  $V_{OV}$ . Das Back-Gate der Diode befindet sich während der Messung auf konstantem Potential. Die Spannung am Lösck-Widerstand wird mit Hilfe eines Oszilloskops

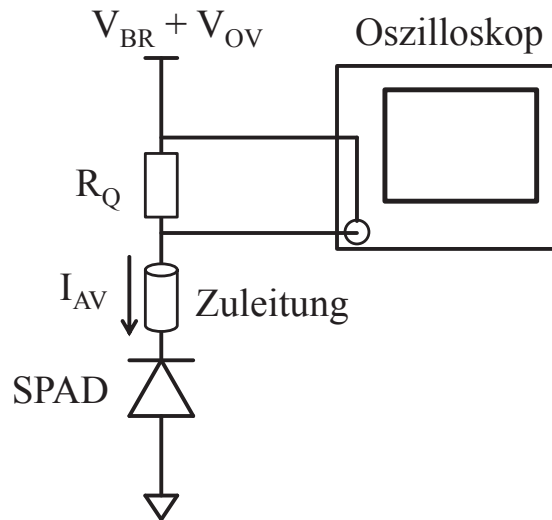


Abb. 4.8: Prinzipieller Messaufbau zur Charakterisierung der Dunkelzählrate. SPAD und Löschwiderstand  $R_Q$  sind in Reihe geschaltet. Die Versorgungsspannung ist die Summe aus Durchbruch-Spannung  $V_{BR}$  und Überspannung  $V_{OV}$ . Der Spannungsabfall am Löschwiderstand, verursacht durch den Lawinenstrom  $I_{AV}$  wird am Oszilloskop gemessen. Die Zuleitung zwischen SPAD und Löschwiderstand soll möglichst kurz sein.

aufgezeichnet. Dabei ist zu beachten, dass der interne Widerstand des Oszilloskops größer sein muss als der Lösch-Widerstand, da dieser parallel zum Löschwiderstand geschaltet ist und ansonsten der Widerstand des Oszilloskops dominieren würde. Ebenso sollte der Löschwiderstand an der Elektrode der Diode angeschlossen werden, die die geringere Kapazität aufweist<sup>12</sup>.

Besonders wichtig ist, dass die Länge der verwendeten Kabel bei der Verbindung zwischen Diode und Löschwiderstand (Zuleitung in Abb. 4.8) so gering wie möglich ist, weil die Kabelkapazität zur Gesamtkapazität der Diode beiträgt. Die Kapazität der verwendeten Kabel wurde gemessen. Diese beträgt etwa 100 pF/m. Quantitativ bedeutet diese eine Erhöhung der Pulsladung um 100 pC bei einer zusätzlichen Kabellänge von 1 m. Dieser Wert ist mehr als 100 Mal höher als typische

<sup>12</sup> Das ist besonders bei Dioden der Standard CMOS-Technologie relevant, weil hier die Kapazität des Substratknotens sehr groß sein kann. Das kann zu sehr großen RC-Zeitkonstanten führen und auch den Effekt des Afterpulsing verstärken, weil größere Ladungsmengen durch das Bauelement fließen.

Pulsladungen bei aktiv gelöschten SPADs [87]. Die Pulsladung steigt bei einem Durchbruch an, weil die gesamte Kabelkapazität aufgeladen werden muss, bevor die Lawine durch den Löschwiderstand gestoppt wird. Das ist einerseits ungünstig, weil dann die Wahrscheinlichkeit für Afterpulsing erhöht wird und andererseits führt es dazu, dass kleine Dioden durch die lange Betriebsdauer unter Lawinenbedingungen durch Erwärmung zerstört werden. Um das zu vermeiden, wurde der Löschwiderstand unmittelbar an die Elektrode der Diode angeschlossen. Dadurch verringert sich die Gesamtkapazität, weil die Zuleitungslänge wenige Zentimeter beträgt. Der verwendete Löschwiderstand weist einen Widerstand von 470 kΩ auf.

In Abschnitt 4.1.3.2 wurde die PDE definiert als die Anzahl der durch die SPAD detektierten Photonen dividiert durch die Anzahl der Photonen, die auf die aktive Fläche der SPAD treffen. Um die PDE messen zu können, muss demzufolge die Anzahl der Photonen, die auf die SPAD treffen, bekannt sein.

Die Messsysteme zur Bestimmung der Quanteneffizienz (Abschnitt 3.2.2.1) erfüllen diese Voraussetzung. Unter der Annahme einer homogenen Beleuchtung (Abb. 3.13) kann mit Hilfe des kalibrierten Referenzdetektors die Lichtleistung  $P_{\text{opt}}$  für jede untersuchte Wellenlänge berechnet werden. Weiterhin ist die wellenlängenabhängige Energie eines Photons  $E_{\text{ph}}$  bekannt (Gleichung (3.1)). Mit diesen Größen kann die Anzahl der Photonen  $PZ$ , die pro Zeiteinheit auf die aktive Fläche der SPAD  $A_{\text{SPAD}}$  treffen bestimmt werden

$$PZ = \frac{I_{\text{ph}}}{E_{\text{ph}} R_{\text{REF}} A_{\text{SPAD}}}. \quad (4.18)$$

In dieser Gleichung ist  $R_{\text{REF}}$  die Responsivität des Referenzdetektors. Mit dieser Gleichung wurde die Anzahl der Photonen, die auf eine Fläche von etwa  $24 \mu\text{m}^2$  pro Sekunde auftreffen für das verwendete Messsystem bestimmt. Das Ergebnis ist in Abb. 4.9 gezeigt. Der Sprung bei 450 nm entsteht dadurch, dass zwei unterschiedliche Messsysteme mit unterschiedlicher Intensität der Lichtquelle genutzt werden (Abschnitt 3.2.2.1). Durch Nutzung von Filtern kann die Anzahl der Photonen bei Bedarf zusätzlich reduziert werden. Eine Erhöhung der Photonenzahl ist jedoch nicht möglich.

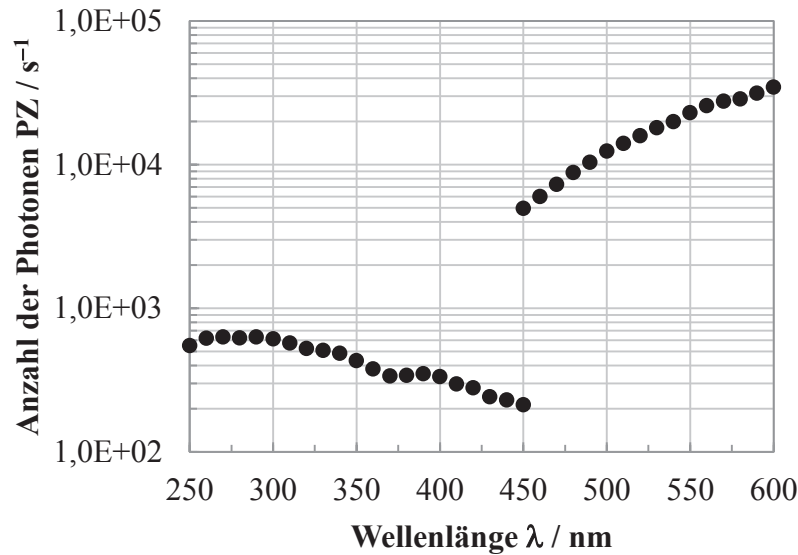


Abb. 4.9: Gemessene Anzahl der Photonen pro Sekunde als Funktion der Wellenlänge. Die bestrahlte Fläche ist etwa  $24 \mu\text{m}^2$ .

Ein weiterer Aspekt bei der Bestimmung der PDE ist der Lösch-Schaltkreis. Wie in Abb. 4.8 dargestellt wurde zur Messung der PDE ein Löschwiderstand verwendet. Die Lösch- und Aufladezeit begrenzt die maximale Zählrate. Diese kann durch eine sehr intensive Beleuchtung der SPAD bestimmt werden. Bei der Messung der PDE ist darauf zu achten, dass die Zählrate nicht nahe der maximalen Zählrate liegt, da sonst eine Sättigung eintritt und die berechnete PDE unterschätzt werden würde. Weiterhin muss bei der Berechnung der PDE die inaktive Zeit der SPAD berücksichtigt werden. Während bzw. nach einem Impuls ist die SPAD nicht in der Lage weitere Photonen zu detektieren, da bereits eine Lawine ausgelöst wurde bzw. die SPAD noch nicht die Überspannung erreicht hat, um weitere Photonen zu detektieren. Pro detektierten Impuls (entweder aufgrund der DCR oder aufgrund von Photonen) wird deshalb die Zeit, in der die SPAD inaktiv  $t_{\text{inaktiv}}$  ist, berücksichtigt, indem die effektive Anzahl der Photonen pro Zeiteinheit (Gleichung (4.18)) angepasst wird.

Zum Beispiel werden bei der Messung der PDE 500 Impulse innerhalb einer Sekunde detektiert. Die Totzeit betrage  $200 \mu\text{s}$  und die Anzahl der Photonen

pro Sekunde sei 10000. Daraus ergibt sich bei der Berechnung der PDE, dass die SPAD innerhalb dieser Sekunde eine Zeit

$$t_{\text{Aktiv}} = 1 \text{ s} - 500 \times 200 \text{ } \mu\text{s} = 0,9 \text{ s}$$

aktiv war. Folglich konnten in dieser Zeit nicht 10000 Photonen detektiert werden, sondern nur 9000. Diese Änderung muss bei der Berechnung der PDE berücksichtigt werden.

Für die Berechnung der PDE wird die gemessene Dunkelzählrate  $DCR_{\text{Mess}}$ , die Photonenzahl  $PZ$ , die Anzahl der gemessenen Impulse  $CR_{\text{Mess}}$ , die aktive Zeit der SPAD  $t_{\text{Aktiv}}$ , sowie die Fläche der SPAD  $A_{\text{SPAD}}$  benötigt. Die PDE lässt sich nach folgender Gleichung berechnen

$$PDE = \frac{CR_{\text{Mess}} - DCR_{\text{Mess}}}{PZ \cdot A_{\text{SPAD}} \cdot t_{\text{Aktiv}}}. \quad (4.19)$$

In dieser Gleichung wird die aktive Zeit folgendermaßen bestimmt

$$t_{\text{Aktiv}} = t - (CR_{\text{Mess}} + DCR_{\text{Mess}})t_{\text{Inaktiv}}. \quad (4.20)$$

### 4.2.3 Hot-Carrier-Stress

Ladungsträger erlangen bei ausreichenden hohen elektrischen Feldern genügend Energie, um Stoßionisation zu verursachen (Abschnitt 4.1.4). Eine Schädigung der Grenzfläche zwischen Silizium und Siliziumdioxid oder ein Einbau von Oxidladungen ist die Folge, wenn heiße Ladungsträger in der Nähe der Grenzfläche entstehen. In der untersuchten SOI-CMOS-Technologie ist dies aufgrund der geringen Filmdicke von weniger als 150 nm nahezu immer der Fall.

Um den Einfluss der heißen Ladungsträger zu untersuchen, wurden elektrische Stress-Experimente durchgeführt. Diese Experimente wurden auf Wafer-Ebene durchgeführt. Dabei wurde ein konstanter Strom über eine definierte Dauer eingeprägt [84] [85]. Um zu gewährleisten, dass die Bedingung für die Entstehung von heißen Ladungsträgern erfüllt war, wurde der Strom so gewählt, dass die Diode sich im Durchbruch befindet. Die Stress-Experimente wurden bei unterschiedlichen Back-Gate-Potentialen und Stress-Strömen durchgeführt.

## 4.3 Ergebnisse

Im folgenden Abschnitt werden die Ergebnisse der Untersuchung von pin-Dioden bezüglich ihres Einsatzes als Einzelphoton-Detektoren vorgestellt.

Zunächst wird das Durchbruch-Verhalten der Dioden behandelt. Aufgrund der Abhängigkeit von der Back-Gate-Spannung ergeben sich Betriebszustände, die bei Dioden der Standard-CMOS-Technologie nicht möglich sind. Diese Abhängigkeit wird in 4.3.1 untersucht.

Der Lawinendurchbruch geht einher mit der Entstehung von heißen Ladungsträgern. Im Zusammenhang mit der Grenzfläche Silizium-Siliziumdioxid entsteht eine Wechselwirkung zwischen dem Lawinendurchbruch und dem Betriebszustand der pin-Diode. Messungen und Simulationen werden durchgeführt, um den Einbau von heißen Ladungsträgern in die Oxide der Diode zu untersuchen. Diese Untersuchung wird in 4.3.2 durchgeführt.

Der Einbau von heißen Ladungsträgern in das benachbarte Oxid verändert das Durchbruchverhalten der pin-Diode. Gleichzeitig hat dieser Effekt einen sättigenden Charakter. Dadurch kann die pin-Diode in einen quasistabilen Zustand gebracht und dann als SPAD eingesetzt werden. Dieser Ansatz wird in Abschnitt 4.3.3 verfolgt. Der Einfluss des Lawinendurchbruchs steht im Mittelpunkt und wird messtechnisch und simulativ untersucht. Zusätzlich wird in diesem Abschnitt die pin-Diode im Geiger-Modus betrieben. Der Effekt der Überspannung auf das Verhalten der Diode ist Gegenstand der Untersuchung.

In den letzten beiden Abschnitten 4.3.4 und 4.3.5 wird dann die Dunkelzählrate und die Photon-Detektionseffizienz der pin-Diode im Geiger-Modus charakterisiert. Zusätzlich wird ein Modell [5] weiterentwickelt, um die Lawinenwahrscheinlichkeit und die Photon-Detektionseffizienz für die untersuchte SPAD der SOI CMOS-Technologie zu berechnen. Messung und Modell werden verglichen. Mit Hilfe des Modells wird schließlich eine Möglichkeit aufgezeigt, die PDE zu verbessern.

### 4.3.1 Durchbruchverhalten

Das Durchbruchverhalten von pin-Dioden in der SOI-CMOS-Technologie ist vom Einfluss des Back-Gates geprägt. In Abb. 4.10 ist die Back-Gate-abhängige Durchbruch-Kennlinie dargestellt. Diese wurde für die Längen des intrinsischen

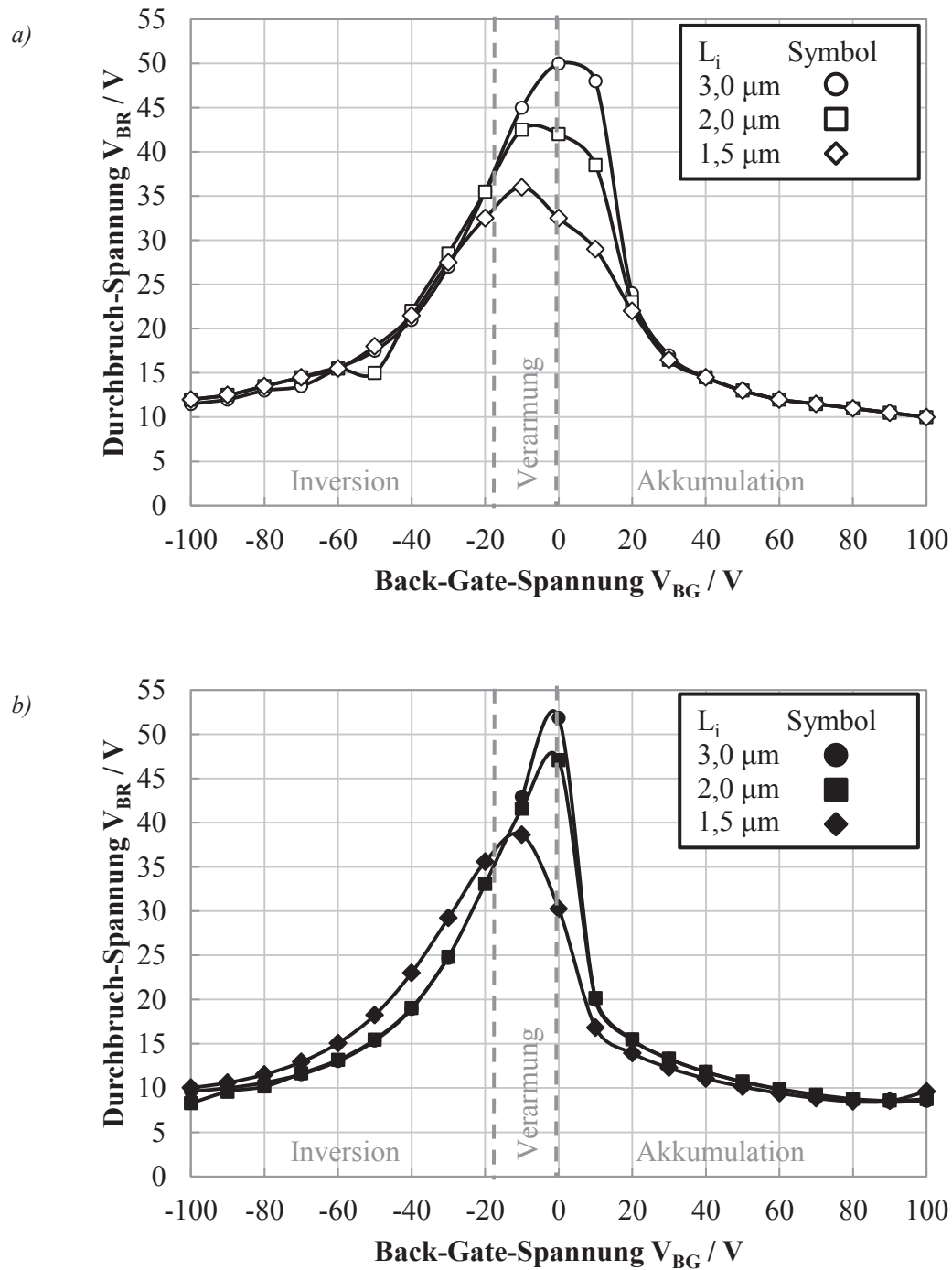


Abb. 4.10: Back-Gate abhängige Durchbruch-Kennlinie einer pin-Diode in der SOI CMOS-Technologie. In a) ist eine Messung und in b) eine TCAD-Simulation für drei unterschiedlichen Längen des intrinsischen Gebiets dargestellt.



Gebiets von 1,5  $\mu\text{m}$ , 2,0  $\mu\text{m}$  und 3,0  $\mu\text{m}$  der pin-Diode gemessen (a)) und simuliert (b)). Die Dotierung des intrinsischen Gebiets beträgt etwa  $9 \times 10^{16} \text{ cm}^{-3}$ . Aufgrund des Dotierungsunterschieds zwischen Substrat ( $1 \times 10^{14} \text{ cm}^{-3}$ ) und Film ergibt sich eine Flachbandspannung von etwa 0,2 V. Bei der Berechnung wurden Oxid- und Oberflächenladungen vernachlässigt. Unter Verwendung der Randbedingung für starke Inversion (Gleichung (3.32)) bestimmt sich die Schwellspannung für diese Dotierung des Films nach den Gleichungen (3.25), (3.26), (3.28) und (3.33) und entsprechender Anwendung für einen n-Halbleiter zu  $-18,1 \text{ V}$ .

Die gemessenen und simulierten Kennlinien haben die Form wie in der Literatur beschrieben (Abb. 4.2). Wie erwartet sind die Bereiche B und E entsprechend in Abb. 4.2 nicht zu sehen, da die Diode keine Feldplatte besitzt und im untersuchten Bereich der Back-Gate-Spannungen kein vertikaler Durchbruch stattfindet.

Beim Vergleich zwischen Messung und Simulation ist zu sehen, dass die Glockenkurve der gemessenen Kennlinien deutlich breiter ist. Die theoretisch bestimmten Schwell- bzw. Flachbandspannungen von  $-18,1 \text{ V}$  bzw.  $0,2 \text{ V}$  werden dabei in der Simulation gut wiedergegeben, weil sich die jeweiligen Maxima innerhalb dieses Bereichs befinden. Der Anstieg der Glockenkurve liegt bei der Messung und bei der Simulation an der gleichen Position. Dagegen ist bei der Messung der Abfall der Glockenkurve zu größeren Back-Gate-Spannungen verschoben. Ein Vergleich der Back-Gate-Spannungen zwischen Messung und Simulation bei einer Durchbruchspannung von  $35 \text{ V}$  ergibt eine Verschiebung von etwa  $10 \text{ V}$ .

Eine Erklärung für die Verbreiterung der gemessenen Glockenkurve, wobei nur die abfallende Flanke der Kennlinie betroffen ist, sind Grenzflächendefekte zwischen Silizium und Siliziumdioxid. Je nach Ladungstyp (Donator- oder Akzeptorähnlich) und Lage des Fermi-niveaus an der Grenzfläche Si-SiO<sub>2</sub> sind diese Ladungen aktiv bzw. inaktiv und beeinflussen deshalb die kapazitive Steuerung des Back-Gates. Ähnlich kann der Einfluss von Grenzflächenladungen zum Beispiel bei Kapazitätsmessungen beobachtet werden [52]. Mit der hier bestimmten Verschiebung von  $10 \text{ V}$  ergibt sich unter der gegebenen Geometrie der Diode eine Grenzflächenladungsdichte von  $5,4 \times 10^{11} \text{ cm}^{-2}$ . Die Verbreiterung der Glockenkurve im Bereich der Akkumulation deutet auf Grenzflächenladungen vom Donator-Typ hin.

Die Kennlinien in Abb. 4.10 geben Auskunft über die Durchbruch-Spannung der pin-Dioden, jedoch nicht über die Art des Durchbruchs. Für den Betrieb einer pin-Diode als SPAD ist es jedoch notwendig, den Mechanismus, der für den Durch-

bruch verantwortlich ist, zu kennen, da nur der Lawinen-Durchbruch einen effektiven SPAD-Betrieb erlaubt.

In Abb. 4.11 sind Strom-Spannungs-Kennlinien einer eckigen pin-Diode mit einer Länge des intrinsischen Gebiets von  $L_i=3,2\text{ }\mu\text{m}$  mit einer Dotierung von  $N_{D,i}=5\times 10^{16}\text{ cm}^{-3}$  unter den Betriebsbedingungen Inversion ( $V_{BG}=-80\text{ V}$ ), Verarmung ( $V_{BG}=-20\text{ V}$ ), vollständige Verarmung ( $V_{BG}=20\text{ V}$ ) und Akkumulation ( $V_{BG}=80\text{ V}$ ) gezeigt.

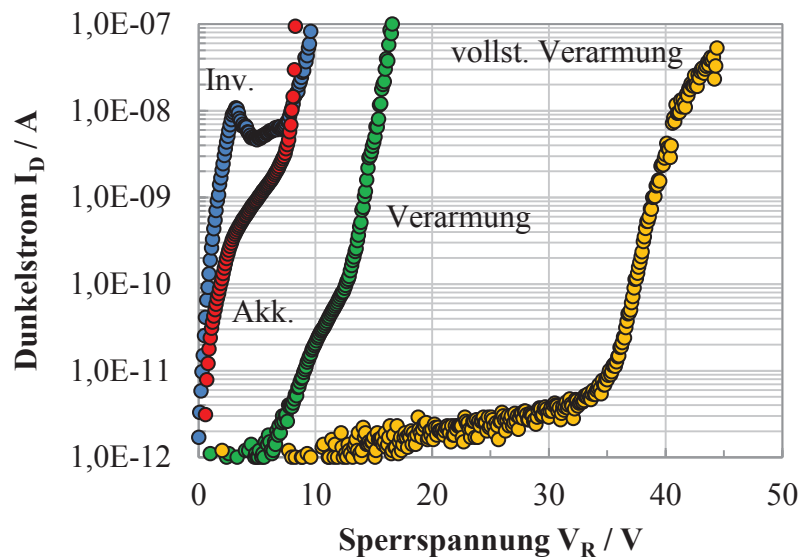


Abb. 4.11: Gemessener Dunkelstrom einer pin-Diode bei den Betriebsbedingungen Inversion (Inv.,  $V_{BG}=-80\text{ V}$ ), Akkumulation (Akk.,  $V_{BG}=80\text{ V}$ ), Verarmung ( $V_{BG}=-20\text{ V}$ ) und vollständige Verarmung ( $V_{BG}=20\text{ V}$ ). Die Länge des intrinsischen Gebiets beträgt  $3,2\text{ }\mu\text{m}$ , die Dotierung  $N_{D,i}=5\times 10^{16}\text{ cm}^{-3}$ . Eine eckige Diode wurde gemessen.

Im Fall vollständiger Verarmung entspricht der Verlauf des Diodenstroms in Sperrrichtung der wohlbekannten Weise, es findet ein langsamer Anstieg des Diodenstroms mit zunehmender Sperrspannung statt, bis es schließlich (ab etwa  $V_R=35\text{ V}$ ) zu einem Durchbruch der Diode kommt (vgl. Abb. 3.16).

In Verarmung ist der Bereich, in dem der Diodenstrom nur langsam mit der Sperrspannung zunimmt, sehr klein. Ab etwa  $V_R=8\text{ V}$  steigt der Diodenstrom sehr stark an, wobei dieser Anstieg aufgrund des Verlaufs in zwei Bereiche unterteilt

werden kann. Diesen Bereichen können zwei unterschiedliche Durchbruchmechanismen zugeordnet werden (siehe unten).

In Akkumulation und Inversion steigt der Strom bereits bei geringen Sperrspannungen sehr stark an. Ein Strom von 100 nA wird bei Sperrspannungen unter 10 V erreicht. Aufgrund dieses Verhaltens ist zu erwarten, dass der Durchbruch in diesem Fall durch Tunnelmechanismen verursacht wird (Abschnitt 4.1.1.2). Dafür spricht besonders die Stromspitze, die im Fall der Inversion beobachtet wird. Diese Spitze ist charakteristisch für Tunnel-Dioden [43]. In Akkumulation ist diese Stromspitze nicht zu sehen, weil die Diode bei einer Back-Gate-Spannung von 80 V bereits gestresst ist. Dass dies der Fall ist, wurde in Abb. 3.21 gezeigt, indem ein Stromfluss über das BOX bei Back-Gate-Spannungen über 40 V nachgewiesen wurde. Die Stromspitze verschwindet nach dem Hot-Carrier-Stress auch in Akkumulation. Das wurde in [88] gezeigt.

Zur Untersuchung der verantwortlichen Mechanismen für den Durchbruch der Dioden wurden, wie in Abschnitt 4.2.1.2 beschrieben, TCAD-Simulationen durchgeführt. In Abb. 4.12 ist der Vergleich der simulierten und gemessenen Kennlinien für den Fall der vollständigen Verarmung (a)) sowie der Inversion (b)) gezeigt. Für diese Untersuchung wurde dieselbe Diode wie in Abb. 4.11 verwendet. Dargestellt sind jeweils die Messung sowie das verwendete Gesamtmodell der Simulation und die wichtigsten Mechanismen, die sowohl bei der Entstehung des Dunkelstroms als auch dem Durchbruch der Diode relevant sind. Diese Mechanismen sind B2BT, sSRH und Lawinenmultiplikation (AV).

In vollständiger Verarmung (a)) wurde die simulierte Kennlinie zunächst bezüglich der Back-Gate-Spannung angepasst. Für die gezeigte Simulation wurde daher eine Back-Gate-Spannung von  $V_{BG} = -4$  V verwendet (bei der Messung waren es 20 V).

Dieser große Unterschied zwischen gemessener und simulierter Kennlinie wird im Folgenden erklärt. Bei den hier untersuchten Dioden der SOI CMOS-Technologie wurde festgestellt, dass das Durchbruchverhalten insbesondere bei einer neuen (noch ungemessenen) Diode anders ist als bei allen weiteren (zweite, dritte, usw.) Messungen. Dieser Unterschied äußert sich darin, dass die Dioden bei einer ersten Messung bei vollständiger Verarmung einen zusätzlichen Stromanstieg zum Durchbruch zeigen, der bei weiteren Messungen immer später einsetzt. Dieses Verhalten ist bei der in Abb. 4.11 gezeigten Kennlinie bei vollständiger Verarmung bei

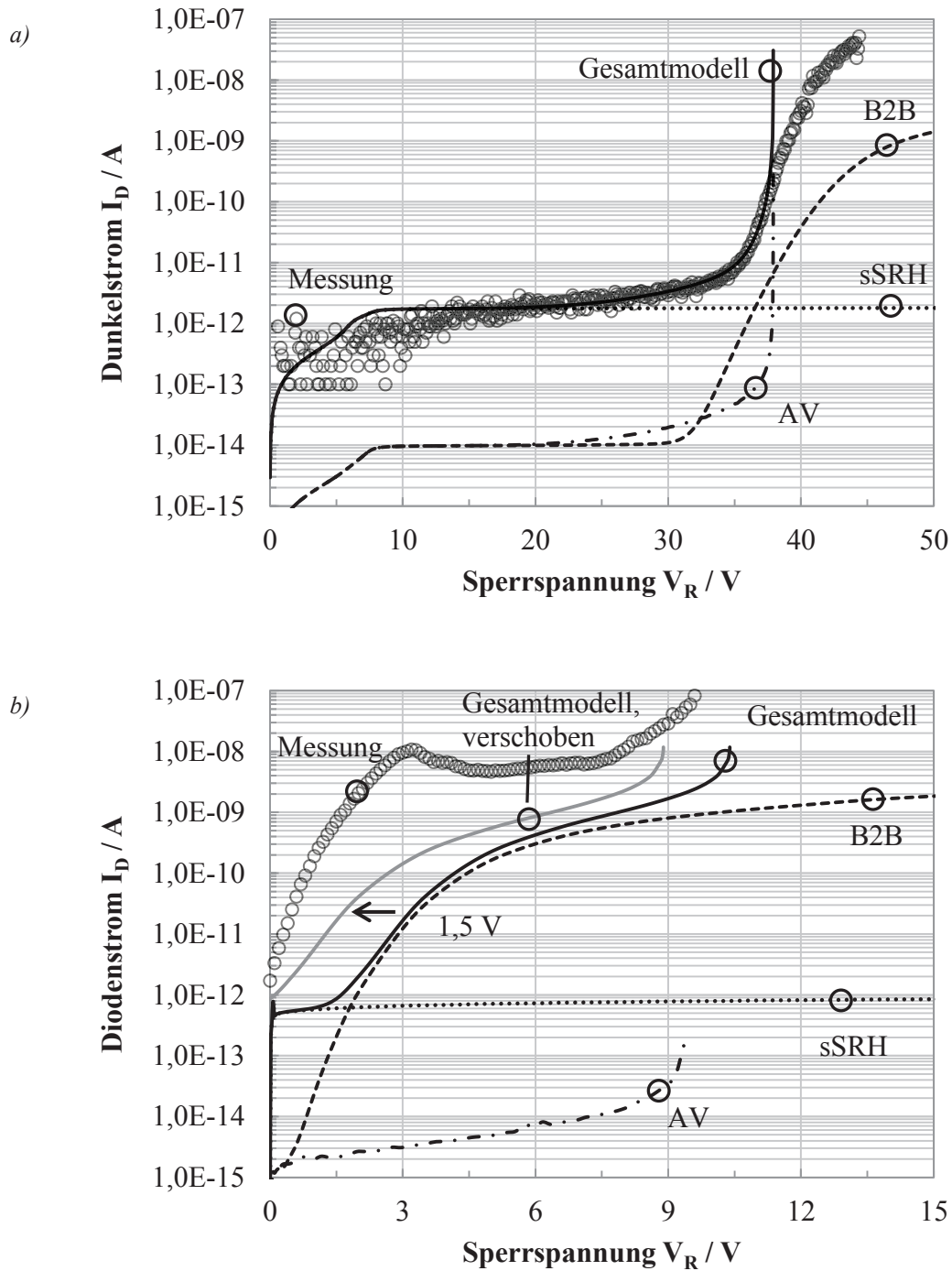


Abb. 4.12: Vergleich von Messung und Simulation einer  $3,2\ \mu\text{m}$  langen pin-Diode mit einer Dotierung von  $N_{D,i}=5\times 10^{16}\ \text{cm}^{-3}$ . Untersucht wurden die Betriebspunkte vollständige Verarmung a) und Inversion b). Das Gesamtmodell setzt sich aus den einzelnen Mechanismen additiv bzw. durch Multiplikation (im Fall von AV) zusammen. Für die Simulation von sSRH wurden die Standard-Parameter von TCAD verwendet (vgl. Abschnitt 4.2.1.2). In b) ist zusätzlich die um  $1,5\ \text{V}$  verschobene Simulation des Gesamtmodells dargestellt.

Sperrspannungen über 35 V zu sehen. Wird diese Diode wiederholt gemessen, dann verschiebt sich einerseits die Durchbruch-Spannung aufgrund vom Hot-Carrier-Effekt (das wird in Abschnitt 4.3.2 behandelt), andererseits ändert sich der Kennlinienverlauf, indem der zusätzliche Stromanstieg später einsetzt. Die Erstmessung sowie weitere Messungen nach einer definierten Stressdauer von 10 s bzw 100 s sind in Abb. 4.16 b) zu sehen. Dabei setzt der zusätzliche Stromanstieg nach 10 s Stressdauer bzw. 100 s Stressdauer erst bei 45 V bzw. 48 V ein.

Die exakte Ursache für den zusätzlichen Stromanstieg ist noch nicht geklärt. Vermutlich ist die Verschiebung des Stromanstiegs dem Leckstrom über das vergrabene Oxid zuzuordnen, weil die Verschiebung bei Kathodenspannungen um 35 V einsetzt, also dann, wenn der Strom über das BOX zu fließen beginnt (vgl. Abb. 3.21). Durch diesen Leckstrom werden Ladungen ins Oxid oder an den Grenzflächen zwischen Si und SiO<sub>2</sub> eingebracht und dadurch verschiebt sich die effektive Back-Gate-Spannung. Ein Hinweis darauf scheint die Verbreiterung der Glockenkurve zu geben, wie in Abb. 4.10 gezeigt.

Um diese bisher ungeklärte Verschiebung zu berücksichtigen, wurde bei der Simulation eine relativ große Back-Gate-Spannungsdifferenz verglichen mit der Messung (−4 V bei der Simulation und 20 V bei der Messung) verwendet. Bei der Simulation in Inversion und Akkumulation wurden hingegen zur Messung identische Back-Gate-Spannungen verwendet.

Die Übereinstimmung zwischen Messung und Simulation ist besonders bezüglich des Dunkelstroms ( $V_R$  zwischen 0 V und 30 V) sehr gut. In diesem Bereich dominiert, wie gezeigt, der sSRH-Mechanismus. Bei etwa  $V_R=25$  V beginnt die Lawinenmultiplikation zu wirken und der Gesamtstrom steigt an. Die Diode bricht dann bei etwa  $V_R=38$  V durch. Zu diesem Zeitpunkt ist der Einfluss des B2BT vernachlässigbar. Demzufolge ist im Fall der vollständigen Verarmung Lawinenmultiplikation für den Durchbruch verantwortlich. Die gemessene Kennlinie zeigt einen schwachen Anstieg des Dunkelstroms im Bereich über 38 V verglichen mit der Simulation. Wie oben erläutert ist dieser Effekt nur bei der ersten Messung zu sehen und resultiert vermutlich aus dem Leckstrom über das BOX.

In Inversion (Abb. 4.12, b)) ist zu sehen, dass der prinzipielle Verlauf zwischen Messung und Simulation übereinstimmt, wobei die Stromspitze der Messung nicht nachgebildet wurde. Das liegt wahrscheinlich daran, dass die Kennlinie insgesamt verschoben ist. Diese Verschiebung beträgt etwa 1,5 V gegenüber der gemessenen

Kennlinie. Die verschobene Kennlinie ist zum besseren Vergleich eingezeichnet. Diese Verschiebung entsteht aufgrund eines Bereichs erhöhter Dotierung in der Simulation, dessen Ursache vermutlich an der Wahl der Simulationsknotenpunkte liegt oder aufgrund nicht angepasster Segregationskoeffizienten. Dennoch spiegelt die Simulation das Verhalten der gemessenen Kennlinie zufriedenstellend wider. Es ist zu sehen, dass der B2BT-Mechanismus einen nicht vernachlässigbaren Anteil am Dunkelstrom hat. Bei  $V_R$  von etwa 10 V gewinnt der Einfluss der Lawinenmultiplikation an Bedeutung. Dieser ist jedoch gering.

Auf die gleiche Weise wurden auch die übrigen Betriebsbereiche (Abb. 4.10) untersucht. Es hat sich herausgestellt, dass bei vollständiger Verarmung die Lawinenmultiplikation der dominante Mechanismus beim Durchbruch der pin-Diode ist. Wird der Betriebsbereich in Richtung Inversion oder Akkumulation verschoben, dann nimmt der Einfluss des B2B-Tunnels immer mehr zu. Folglich eignet sich nur der Bereich der vollständigen Verarmung für den Betrieb als SPAD.

#### 4.3.2 Einbau von Traps

Der Silizium-Film, der die laterale pin-Diode in der SOI CMOS-Technologie bildet, hat sowohl an der Unter- als auch an der Oberseite eine Grenzfläche zum Siliziumdioxid. Diese Grenzfläche ist besonders problematisch, wenn heiße Ladungsträger in deren Nähe entstehen (Abschnitt 4.1.4). Zum Betrieb einer pin-Diode als SPAD ist dies jedoch nicht zu vermeiden. Ein genaues Verständnis des Hot-Carrier-Effekts im SOI ist deshalb notwendig, um das Risiko von heißen Ladungsträgern auf den zuverlässigen Betrieb von SPADs einschätzen zu können.

Wie in Abb. 4.13 gezeigt, ist, bei wiederholter Messung oder fortwährendem Betrieb einer pin-Diode im Durchbruch (*Stress*), eine Verschiebung der Strom-Spannungs-Kennlinie zu höheren Durchbruchspannungen hin zu beobachten. Dargestellt sind die Messung einer neuen Diode und die Messung derselben Diode nach 1000 s, 2000 s und 3000 s im Durchbruch-Betriebszustand. Dies wurde erreicht, indem ein Diodenstrom  $I_D=1000$  nA über die genannte Dauer eingepreßt wurde. Neben der Verschiebung der Kennlinie ist ebenfalls eine Veränderung der Kennlinienform zu beobachten. Diese ist am größten nach den ersten 1000 s Stresszeit. Daraufhin verändert sich die Form kaum noch. Die Änderung der Kennlinienform kann

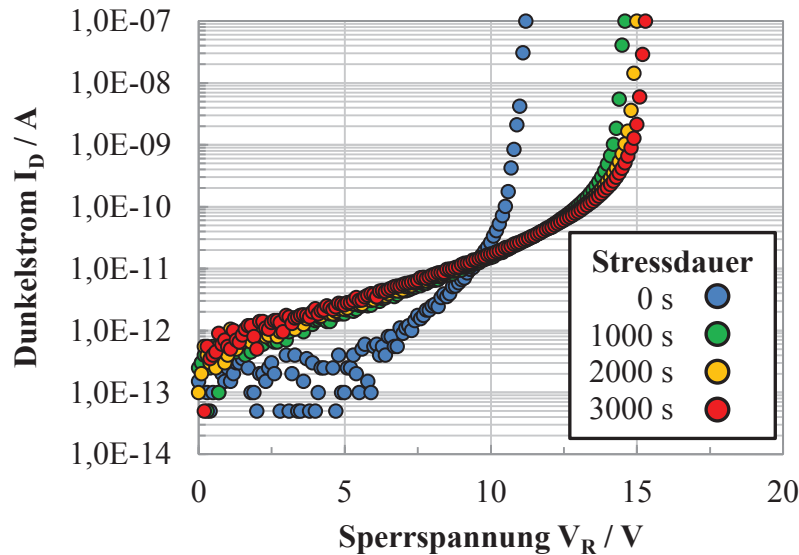


Abb. 4.13: Gemessener Diodenstrom einer neuen pin-Diode nach dem Betrieb derselben Diode im Durchbruch (Stress) nach 1000 s, 2000 s und 3000 s. Für den Betrieb im Durchbruch wurde ein Strom  $I_D=1000$  nA eingeprägt. Die Dotierung der Diode ist etwa  $N_D=3 \times 10^{17} \text{ cm}^{-3}$ . Die Länge und Weite sind  $3 \text{ }\mu\text{m}$  bzw.  $94 \text{ }\mu\text{m}$ . Die Back-Gate-Spannung beträgt 0 V.

zwei Ursachen haben, einen Einbau von Ladungsträgern in die Oxide oder die Entstehung von Grenzflächen-Ladungen an der Si-SiO<sub>2</sub>-Grenzfläche.

Oxid-Ladungen können die gleiche Wirkung haben wie die Back-Gate-Spannung. Die Back-Gate-Spannung wiederum kann, wie in Abb. 4.11 gezeigt, einen Einfluss auf den Mechanismus haben, der für den Dunkelstrom der Diode verantwortlich ist und somit die Form der Kennlinie verändern.

Für die Entstehung von Grenzflächen-Ladungen spricht, dass diese für eine Zunahme des Dunkelstroms sorgen können [57] [89], da die Generationsrate zunimmt. Der Dunkelstroms im Bereich  $V_R=0$  V bis  $V_R=10$  V ist nach dem Stress erhöht.

Weiterhin ist zu sehen, dass die Zunahme der Durchbruch-Spannung (definiert durch den steilen Anstieg des Diodenstroms) mit der Zeit immer kleiner wird. Während die Verschiebung nach den ersten 1000 s etwa 3 V beträgt ist diese nach weiteren 1000 s kleiner als 1 V und nimmt weiter ab. Die Änderung der Durchbruch-Spannung (bezogen auf den Wert einer neuen Diode) mit zunehmender Stress-Dauer ist in Abb. 4.14 a) dargestellt. In dieser Abbildung wurde die gleiche Diode wie in Abb. 4.13 untersucht. Der eingeprägte Diodenstrom beträgt dabei 10 nA, 100 nA und 1000 nA und die Stress-Dauer  $t_S=800$  s.



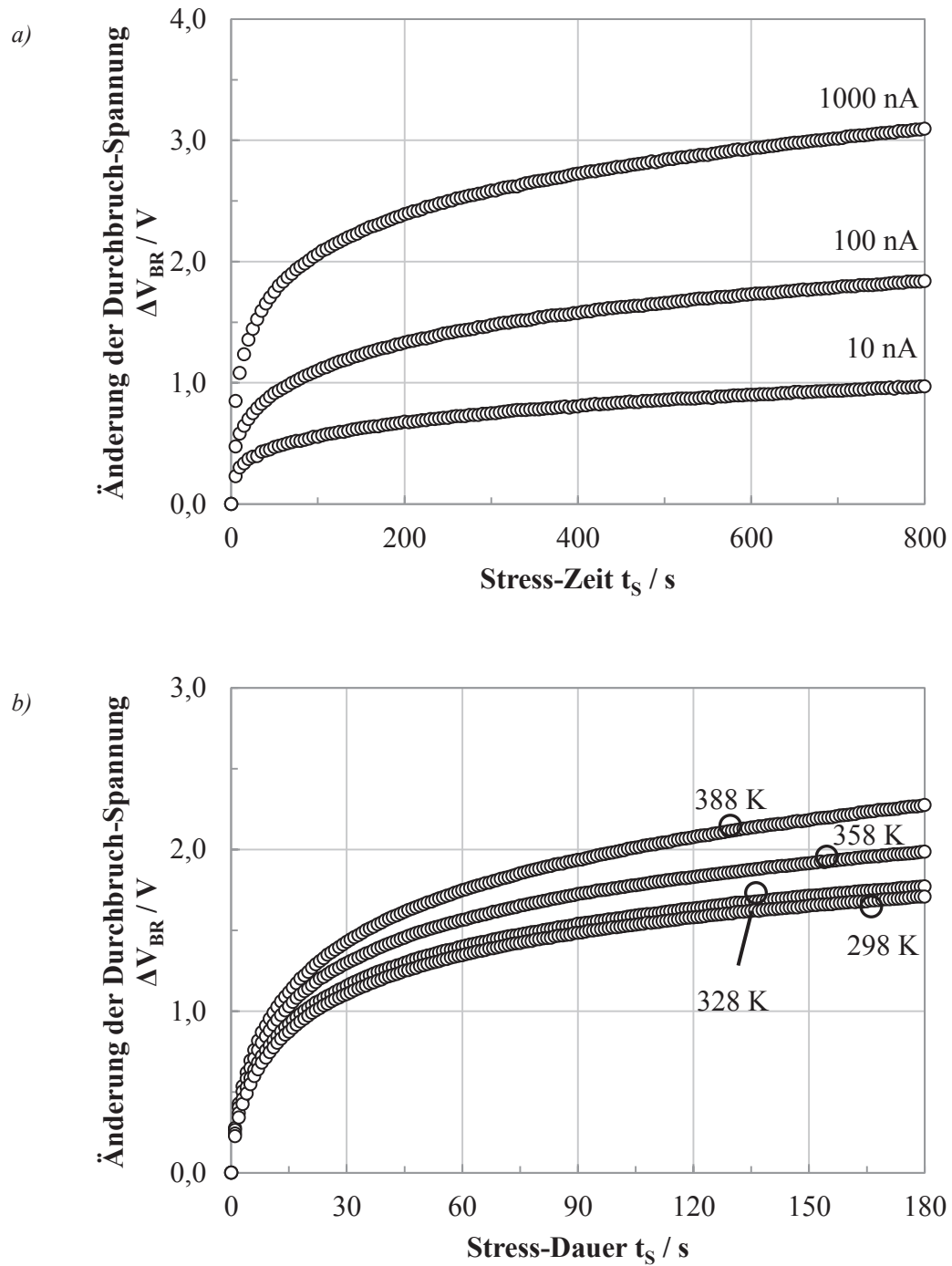


Abb. 4.14: Messung der Änderung der Durchbruch-Spannung als Funktion des eingepprägten Stroms a) und der Temperatur b). Bei der temperaturabhängigen Messung wurde ein Strom von 1000 nA eingeppräg. Die gleiche Diode wie in Abb. 4.13 wurde verwendet. Die Back-Gate-Spannung beträgt jeweils 0 V.



Unabhängig vom eingepprägten Strom verschiebt sich die Durchbruch-Spannung mit zunehmender Stress-Dauer. Der Strom bestimmt jedoch die Geschwindigkeit der Verschiebung. Nach der untersuchten Dauer ist die Verschiebung bei 1000 nA drei Mal so groß wie die Verschiebung bei 10 nA. Der sättigende Charakter ist typisch für den Walkout-Effekt [85].

In Abb. 4.14 b) ist die Änderung der Durchbruch-Spannung als Funktion der Zeit und der Temperatur dargestellt. Dabei beträgt der eingepprägte Strom  $I_D=1000$  nA. Mit steigender Temperatur von 298 K bis zu 388 K wird die Änderung der Durchbruch-Spannung immer kleiner. Das liegt an der Zunahme der Gitterschwingungen mit steigender Temperatur, die die Entstehung von heißen Ladungsträgern verringern (vergleiche auch Abb. 3.22).

Die temperaturabhängige Untersuchung der Änderung der Durchbruch-Spannung legt nahe, dass die Lawinenmultiplikation der treibende Mechanismus hinter der Verschiebung ist. Tunneleffekte hingegen würden wegen der kleiner werdenden Bandlücke mit zunehmender Temperatur zunehmen [61]. Aufgrund der Struktur der pin-Diode ist es dennoch unklar, wo die Veränderung innerhalb des Bauelements stattfindet. Das ist einerseits dem geschuldet, dass, im Gegensatz zur Standard CMOS-Technologie, zwei Grenzflächen zwischen Si und SiO<sub>2</sub> existieren, und andererseits der Verteilung des elektrischen Feldes innerhalb der pin-Diode. Das elektrische Feld ist die treibende Kraft für die Lawinenmultiplikation (Abschnitt 4.1.1.4). Bei der pin-Diode weist das elektrische Feld, abhängig vom Betriebszustand des Back-Gates, eine entsprechende Verteilung auf. In vollständiger Verarmung existieren zwei Feldspitzen an der Anode und der Kathode des Bauelements [51] (Abb. 4.15 b)), während in Akkumulation bzw. Inversion eine Feldspitze an der entsprechenden Elektrode (je nach Dotierung des intrinsischen Gebiets der pin-Diode) entsteht. Der Ladungseinbau wird im Folgenden anhand einer pin-Diode untersucht.

Das elektrische Feld ist der Ausgangspunkt für den Einbau der Ladung. Die Verteilung des Feldes in vollständiger Verarmung wurde mit TCAD simuliert und ist in Abb. 4.15 b) als durchgezogene Linie (ohne Ladung) dargestellt. Ein Querschnitt der Diode ist in a) gezeigt. Die  $x$ -Achse erstreckt sich dabei vom Rand der Anode entlang der pin-Diode. Das intrinsische Gebiet ist 3,2  $\mu\text{m}$  lang. Das elektrische Feld (Abb. 4.15 b)) ist entlang der  $x$ -Achse an der Grenzfläche zwischen Silizium-Film

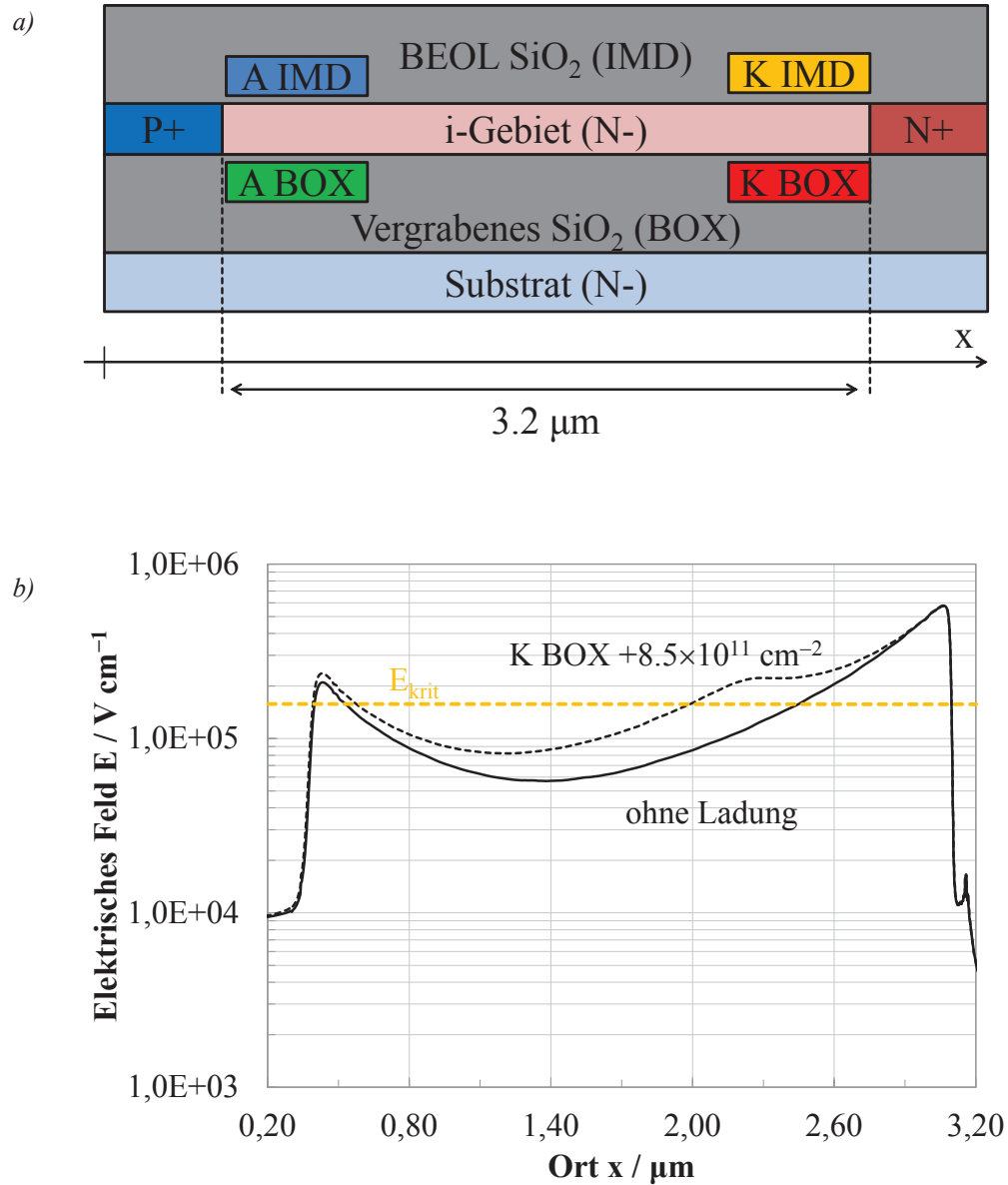


Abb. 4.15: Querschnitt der pin-Diode zur Untersuchung des Ladungs-Einbaus beim Durchbruch (a)) und das simulierte elektrische Feld bei einer Back-Gate-Spannung von  $-4$  V (b)) ohne Berücksichtigung von Ladung und nach dem Einbau von positiver Ladung ( $8,5 \times 10^{11} \text{ cm}^{-2}$ ) an der Kathode am BOX. Die Breite von K BOX beträgt in b)  $900 \text{ nm}$ . Das ist die Breite des Bereichs, wo das elektrische Feld (ohne Ladung) größer ist als das kritische elektrische Feld  $E_{\text{krit}}$ .

und dem darüber liegenden Oxid des BEOL dargestellt. Dieses besitzt zwei Spitzen [51] bei etwa  $x=0,5\text{ }\mu\text{m}$  und  $x=3,0\text{ }\mu\text{m}$ . Das kritische elektrische Feld, um Stoßionisation zu verursachen, ist  $E_{\text{krit}}=1,75\times 10^5\text{ V/cm}$  (vergleiche Abschnitt 4.1.1.4). Dieses kritische Feld ist in der Abbildung eingezeichnet.

Das elektrische Feld der pin-Diode an der Anode ( $x=0,5\text{ }\mu\text{m}$ ) sowie an der Kathode ( $x=3,0\text{ }\mu\text{m}$ ) ist ausreichend groß, um Stoßionisation zu verursachen. Aus dieser Feldverteilung, sowie den Grenzflächen zwischen Silizium und Siliziumdioxid an der Ober- (*inter metal dielectric*, IMD) bzw. Unterseite (BOX) des Films, ergeben sich vier mögliche Positionen an denen Ladung während des Durchbruchs im Oxid bzw. an der Grenzfläche erzeugt werden kann. Diese Positionen sind an der Anode am BOX bzw. IMD und an der Kathode am BOX bzw. IMD und sind in Abb. 4.15 a) eingezeichnet.

Zur Untersuchung des Einflusses der eingebauten Ladungen wird das Modell des Einbaus folgendermaßen vereinfacht:

- Der Einbau von Ladungen wird im relevanten Bereich als homogen angenommen.
- Es werden Oberflächen-Ladungen betrachtet, die zu jedem Zeitpunkt vollständig besetzt sind.
- Die Richtung des elektrischen Feldes wird nicht betrachtet, um die Möglichkeiten des Ladungseinbaus nicht einzuschränken.

Aufgrund der Verteilung des elektrischen Feldes ist anzunehmen, dass am Ort eines höheren Feldes mehr heiße Ladungsträger entstehen und eingebaut werden (wie zum Beispiel in der Nähe des Drain-Kontakts eines MOSFET [79]). Dennoch wird hier zunächst eine homogene Verteilung der Ladungsträger angenommen.

Die Betrachtung von Oberflächenladungen, die zu jedem Zeitpunkt vollständig besetzt sind, resultiert aus der Tatsache, dass eine Verschiebung der gemessenen Kennlinien stattfindet. Das bedeutet, dass die eingebrachten Ladungen mit der entsprechenden Polarität wirksam sind.

Es werden nur Oberflächenladungen und nicht Oxidladungen betrachtet, weil nicht bekannt ist, welche Art von Ladung tatsächlich eingebaut wird. Zudem findet ein Einbau von Ladungen im Siliziumdioxid vorwiegend in der Nähe der Grenzfläche zwischen Silizium und Siliziumdioxid statt [90]. Dadurch relativiert sich der Unterschied zwischen Oxid- und Oberflächen-Ladung.

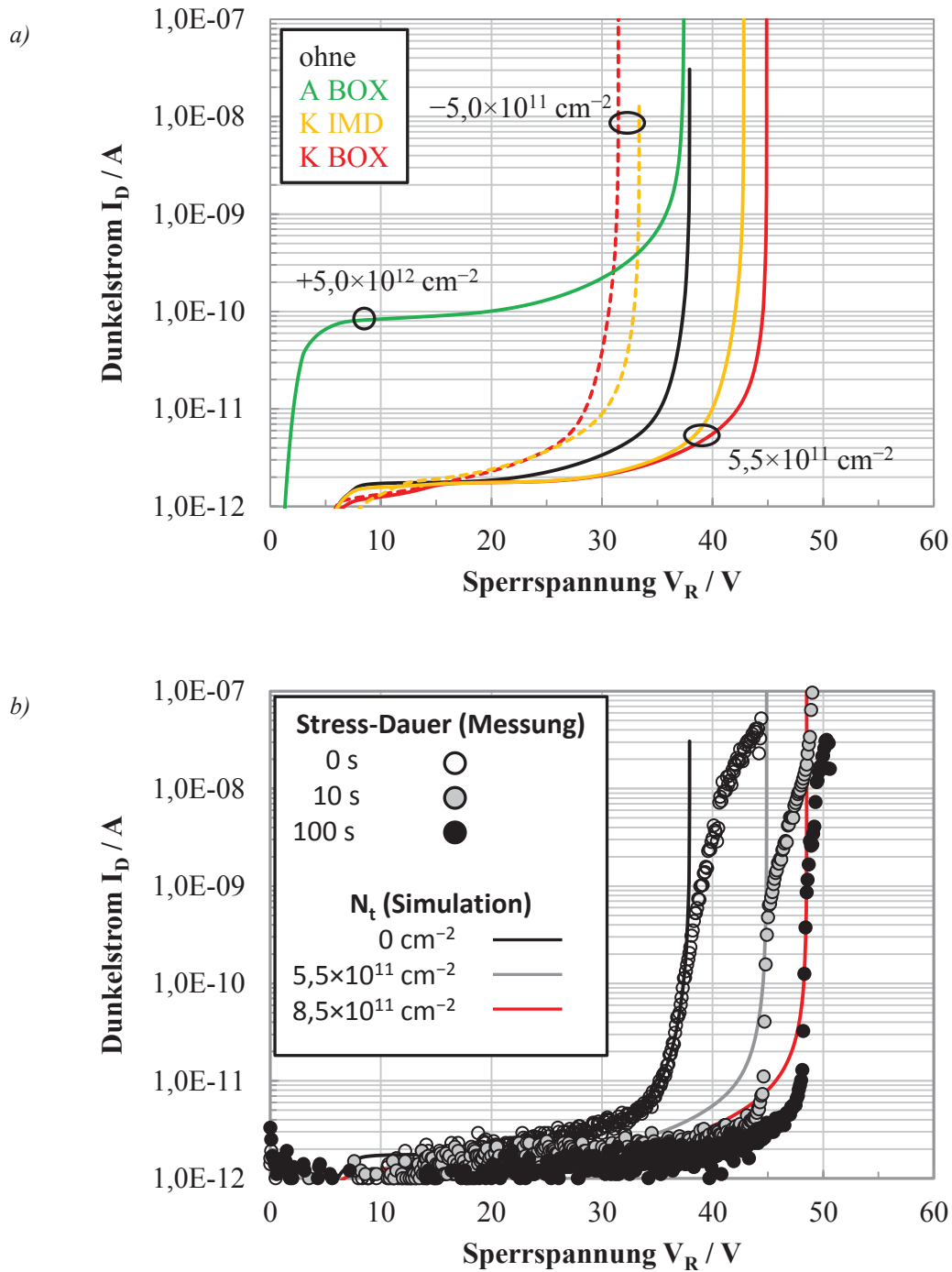


Abb. 4.16: Simulation des Einflusses der eingebauten Ladung (a)) und ein Vergleich von Simulation (Linien), unter Berücksichtigung der eingebauten Ladung bei K BOX, und Messung (Symbole) einer neuen bzw. gestressten pin-Diode (b)). Die Stress-Dauer beträgt 10 s bzw. 100 s. In a) stellen gestrichelte Linien negative und durchgezogene Linien positive Ladung dar. Die Positionsbezeichnung entspricht Abb. 4.15 a).

Mit diesen Annahmen wurde der Dunkelstrom der untersuchten pin-Diode mit TCAD simuliert (Abb. 4.16). Dabei wurde der Einbau von Ladungsträgern wie in Abb. 4.15 a) berücksichtigt. Es wurden Ladungen unterschiedlicher Dichte ( $N_{it}$ ) und Polarität an allen vier Positionen (A IMD, A BOX, K IMD und K BOX) eingebaut.

Ein Ladungseinbau an der Filmoberseite an der Anode (A IMD) hat nahezu keinen Einfluss auf den Kennlinienverlauf gezeigt. Deshalb sind diese Kennlinien nicht in der Abbildung dargestellt. Ein Einbau von Ladungen am vergrabenen Oxid (A BOX) hat nur dann einen Effekt, wenn eine relativ große ( $5 \times 10^{12} \text{ cm}^{-2}$ ), positive Ladungsträgermenge an dieser Position eingebracht wird. Dies führt dazu, dass das intrinsische Gebiet der Diode lokal sehr stark akkumuliert wurde. Die resultierende Kennlinie (Abb. 4.16 a), grüne Linie) zeigt einen sehr starken Anstieg des Diodenstroms aufgrund von B2BT (vergleiche Abb. 4.12 b)).

Der Einbau von negativen Ladungen an der Kathode (K IMD und K BOX) führt zu einer Verkleinerung der Durchbruch-Spannung, weil diese Ladung das intrinsische Gebiet verarmt. Dadurch wird eine kleinere Sperrspannung benötigt, um die Verarmung und dann den Durchbruch zu erzielen. Das Gegenteil ist der Fall, wenn positive Ladungen an der Kathode eingebaut werden. In beiden Fällen (K IMD und K BOX) führt dies zur Erhöhung der Durchbruch-Spannung. Der Effekt an der Film-Unterseite ist dabei stärker. Somit sind positive Ladungen an der Kathode für die Vergrößerung der Durchbruch-Spannung verantwortlich.

Mit Hilfe dieser Überlegung und der Simulation wurden die gemessenen Kennlinien einer neuen pin-Diode sowie nach 10 s und 100 s Stressdauer bei einem Strom von 100 nA nachgebildet. Das Ergebnis ist in Abb. 4.16 b) dargestellt. Ladungsmengen von  $5,5 \times 10^{11} \text{ cm}^{-2}$  bzw.  $8,5 \times 10^{11} \text{ cm}^{-2}$ , eingebaut an der Filmunterseite an der Kathode (K BOX), wurden verwendet, um die gemessene Verschiebung nach 10 s bzw. 100 s nachzubilden. Dabei unterscheidet sich der Verlauf der simulierten Kennlinien deutlich von den Messungen (nach 10 s und 100 s Stress) im Bereich kurz vor dem Durchbruch. Bei diesen beiden Messungen ist der Übergang zum Durchbruch sehr abrupt, insbesondere auch im Vergleich zur Erstmessung (0 s Stress). Der Stress scheint dabei den langsamen Strom-Anstieg aufgrund von Lawinenmultiplikation zu unterdrücken, so dass ein abrupter Durchbruch zu sehen ist. Für den Betrieb als SPAD ist ein abrupter Übergang in die Lawinen-Multiplikation von Vorteil. Insgesamt ist die simulierte Verschiebung der Kennlinien nach dem Stress sehr gut wiedergegeben.

Die gleiche Untersuchungsmethode, wie für die vollständige Verarmung demonstriert (Abb. 4.15, Abb. 4.16), wurde ebenso für die Betriebszustände Inversion und Akkumulation durchgeführt [88]. Die Ergebnisse dieser Untersuchung sind in Tab. 4.3 zusammengefasst. Je nach Betriebszustand unterscheiden sich Ort, Länge des Gebiets, in dem Ladung eingebaut wurde, Dichte und Polarität der eingebauten Ladungsmenge. Sowohl bei vollständiger Verarmung als auch bei Inversion sind positive Ladungsträger für die Verschiebung der Kennlinie verantwortlich. In Inversion ist die Ladungsträgerdichte viel höher und die Grenzfläche zwischen Silizium und dem BEOL ist betroffen. In Akkumulation ist, verglichen mit der Inversion, der Ort sowie die Polarität der Ladung umgedreht, da das elektrische Feld, verursacht

Tab. 4.3: Simulationsergebnisse des Ladungseinbaus bei Stressbedingungen in den Betriebszuständen vollständige Verarmung, Inversion und Akkumulation [88]. Die Ortsbezeichnung bezieht sich auf Abb. 4.15 a).

| Betriebszustand   | Ort des Ladungseinbaus | Länge des Ladungseinbaus / nm | Polarität der Ladung | Ladungsträgerdichte / $\text{cm}^{-2}$ |
|-------------------|------------------------|-------------------------------|----------------------|--|
| Vollst. Verarmung | K BOX                  | 900                           | Positiv              | $8,5 \times 10^{11}$                   |
| Inversion         | K IMD                  | 400                           | Positiv              | $3,0 \times 10^{12}$                   |
| Akkumulation      | A BOX                  | 950*                          | Negativ              | $3,8 \times 10^{12}$                   |

\*Ladung erstreckt sich bis unter die Anode, weil diese an der Unterseite des Films verarmt wird.

durch das Back-Gate, invers ist. Die eingebaute Ladungsmenge ist in diesem Betriebszustand am größten und erstreckt sich bis unter den Anoden-Kontakt, weil dieser an der Unterseite verarmt wird. Einen Einfluss auf die sehr große eingebaute Ladungsmenge hat der in Abb. 3.21 beobachtete Leckstrom über das BOX.

Das hohe elektrische Feld an den Elektroden führt dazu, dass vorwiegend dort heiße Ladungsträger eingebaut werden. Diese eingebauten heißen Ladungsträger sorgen für eine permanente Verschiebung der Durchbruch-Spannung der pin-Diode. Dies erschwert den Betrieb der Diode als SPAD.

Aufgrund des sättigenden Charakters der Änderung der Durchbruch-Spannung (Abb. 4.14) erscheint es dennoch möglich, die pin-Diode nach einem vorhergehen-

den Stress in einen Zustand zu versetzen, dass die Durchbruch-Spannung einen relativ stabilen Zustand erreicht. Damit, und mit einer intelligenten Auslese-Schaltung [91], besteht die Möglichkeit einen stabilen SPAD-Betrieb zu erreichen. Zusätzliche heiße Ladungsträger würden dann mit der Dauer des Betriebs für eine immer geringere Verschiebung der Durchbruch-Spannung sorgen. Fraglich bleibt dennoch die Langlebigkeit einer solchen Diode, da Oxidladungen mit der Zeit einen leitenden Pfad bilden können [92] [93] (trotz der Dicke des vergrabenen Oxids) und das Bauelement endgültig zerstört würde. Eine mögliche Generation von Oberflächenladungen im intrinsischen Gebiet bei diesem Stress würde zudem die Generation von Ladungen begünstigen, was das Rauschen der SPAD (DCR) erhöhen würde.

### 4.3.3 Geiger-Modus

Ein stabiler Betrieb im Geiger-Modus ist dann möglich, wenn sich die Durchbruch-Spannung, während der Erzeugung heißer Ladungsträger, über die Betriebsdauer nur wenig ändert. In Abb. 4.14 wurde gezeigt, dass der Walkout-Effekt die Durchbruchspannung mit der Zeit verschiebt. Diese Verschiebung wird dabei immer langsamer. Diese Verlangsamung wird ausgenutzt, um einen quasi-stabilen Betriebszustand zu erreichen. Dazu wird eine Diode vor dem Betrieb im Geiger-Modus gestresst, bis die Durchbruch-Spannung eine akzeptable Änderungsrate erreicht.

Diese Prozedur, der *Burn-In*, ist in Abb. 4.17 gezeigt. Die untersuchte pin-Diode wurde 5000 s lang bei einem Stress-Strom von 100 nA gestresst. Zur Messung der Änderungsrate der Durchbruch-Spannung wurde ein empirisches Modell verwendet, um den Verlauf der gemessenen Kennlinie nachzubilden und damit über die Steigung der Modellkurve die Änderung der Durchbruchspannung zu ermitteln. Folgende Gleichung beschreibt das Modell

$$V_{BR}(t) = V_0 + V_1 \exp\left(-\frac{t}{t_1}\right) + V_2 \exp\left(-\frac{t}{t_2}\right). \quad (4.21)$$

In dieser Gleichung sind  $V_0$ ,  $V_1$ ,  $V_2$  sowie  $t_1$  und  $t_2$  Parameter zur Anpassung des Modells an die gemessene Kennlinie. Die Änderungsrate der Durchbruch-Spannung  $V_{BR}$  ist die zeitliche Ableitung von Gleichung (4.21). Sie ist gegeben durch

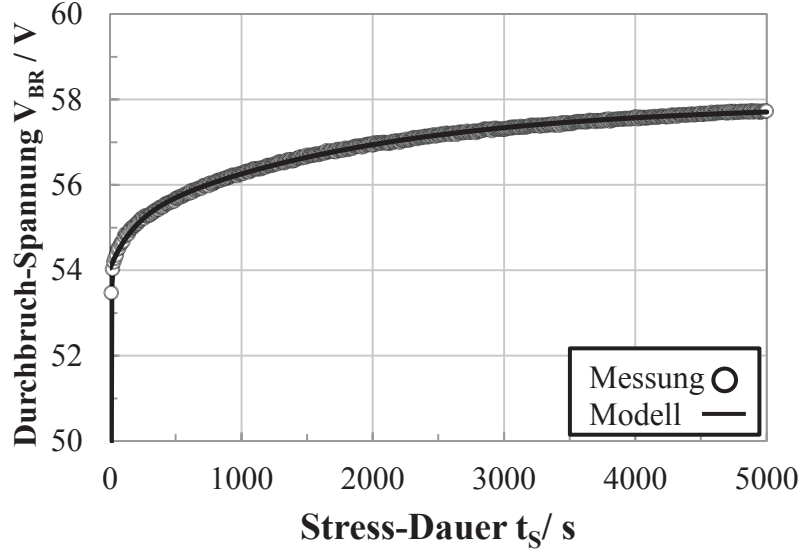


Abb. 4.17: Gemessener und modellierter, zeitliche Verlauf der Durchbruch-Spannung einer 3,2 µm pin-Diode. Ein Stress-Strom von 100 nA wurde verwendet. Die Back-Gate-Spannung betrug 27 V (vollständige Verarmung).

$$\frac{d}{dt} V_{BR}(t) = - \left( \frac{V_1}{t_1} \exp \left( -\frac{t}{t_1} \right) + \frac{V_2}{t_2} \exp \left( \frac{t}{t_2} \right) \right). \quad (4.22)$$

Eine Anpassung der Modellparameter wurde mit Hilfe einer Fit-Routine der Software Origin durchgeführt. Für die gezeigte Messung (Abb. 4.17) wurden die Parameter  $V_0=57,90$  V,  $V_1=-2,80$  V,  $V_2=-1,04$  V,  $t_1=1860,04$  s und  $t_2=171,41$  s ermittelt. Die Übereinstimmung zwischen Messung und Modell ist exzellent. Mit diesen Werten und Gleichung (4.22) ergibt sich nach einer Burn-In-Dauer von 5000 s eine Änderung der Durchbruch-Spannung von 0,36 V pro Stunde. Entsprechend muss die Durchbruch-Spannung im Geiger-Betrieb angepasst werden.

Trotz einer Stabilisierung der Durchbruch-Spannung nach einem Burn-In hat sich der Betrieb der pin-Diode als SPAD als sehr instabil erwiesen. Das Problem dabei ist die Überspannung, die eine sehr wichtige Größe bei einer SPAD ist.

Mit zunehmender Überspannung steigt die Wahrscheinlichkeit, dass ein Elektron-Loch-Paar in der Raumladungszone der SPAD, einen Stromimpuls auslöst. Die Ladungsmenge in diesem Impuls ist direkt von der Überspannung abhängig. Wird also die Überspannung erhöht, dann erhöht sich auch der Strom, der durch die Diode



fließt. Gleichzeitig steigt dabei der Stress durch heiße Ladungsträger und die Durchbruch-Spannung verschiebt sich stärker (vgl. Abb. 4.14 a)).

Praktisch hat sich gezeigt, dass bereits eine geringe Überspannung bei den untersuchten SPADs ausreicht, um sehr hohe Dunkelzählraten oder sogar einen permanenten Stromfluss zu erzeugen. Das hat dazu geführt, dass eine Diode zerstört wird. Um das zu vermeiden wird der *Gated-Modus* verwendet, bei dem die Überspannung für eine kurze Dauer eingeschaltet wird. Dabei wird die SPAD statisch knapp unterhalb der Durchbruch-Spannung betrieben und mit einem Spannungsimpuls über die Durchbruch-Spannung gebracht. Die kurzen Betriebsdauern dieses Modus erlauben eine relativ stabile Betrachtung der SPAD.

In Abb. 4.18 sind 3 Oszillographen einer pin-Diode im Gated-Modus gezeigt (Messaufbau entsprechend Abb. 4.8). Die Überspannung beträgt bei diesen Messungen 0 V (a)), 0,05 V (b)) und 0,1 V (c)). In allen drei Abbildungen sind die Impulse der SPAD aufgetreten. Die Zeitpunkte, an denen das SPAD aktiviert ist, liegen 99 ms auseinander. Die SPAD ist für die Dauer 1 ms aktiv. Bei der kleinsten Überspannung in a) ist nicht zu jedem aktiven Zeitpunkt ein Impuls zu sehen, da nicht jedes Mal eine Lawine ausgelöst wird. Mit zunehmender Überspannung in b) und c) ist dies jedoch der Fall. Wie erwartet steigt die Impulshöhe mit zunehmender Überspannung, da diese Überspannung am Löschwiderstand abfällt.

Bei genauer Betrachtung der Impulse (Abb. 4.19) ist festzustellen, dass bereits bei einer Überspannung von 0,05 V das Signal innerhalb des aktiven Fensters von 1 ms zu sättigen beginnt. Insgesamt sind bei 0,05 V drei Pulsspitzen zu sehen, wobei sich die SPAD zwischen den einzelnen Pulsen nicht wieder vollständig aufladen konnte. Das ist daran zu erkennen, dass die Signalamplitude nicht auf das Niveau von etwa 0 V zurückkehrt. Wird die Überspannung auf 0,1 V erhöht, dann bleibt die Amplitude fast durchgehend auf einem hohen Niveau. Das deutet darauf hin, dass sehr viel Ladung innerhalb der Diode vorhanden ist und diese permanent eine Lawine auslöst. Eine Ursache für dieses Verhalten kann zum Beispiel der Afterpulsing-Effekt sein (4.1.3.1). Wahrscheinlich ist auch, dass die Grenzfläche zwischen Silizium und Siliziumdioxid, und die damit einhergehenden Oberflächendefekte, eine hohe Generationsrate von Ladung aufweisen und die SPAD ununterbrochen aktiviert wird.

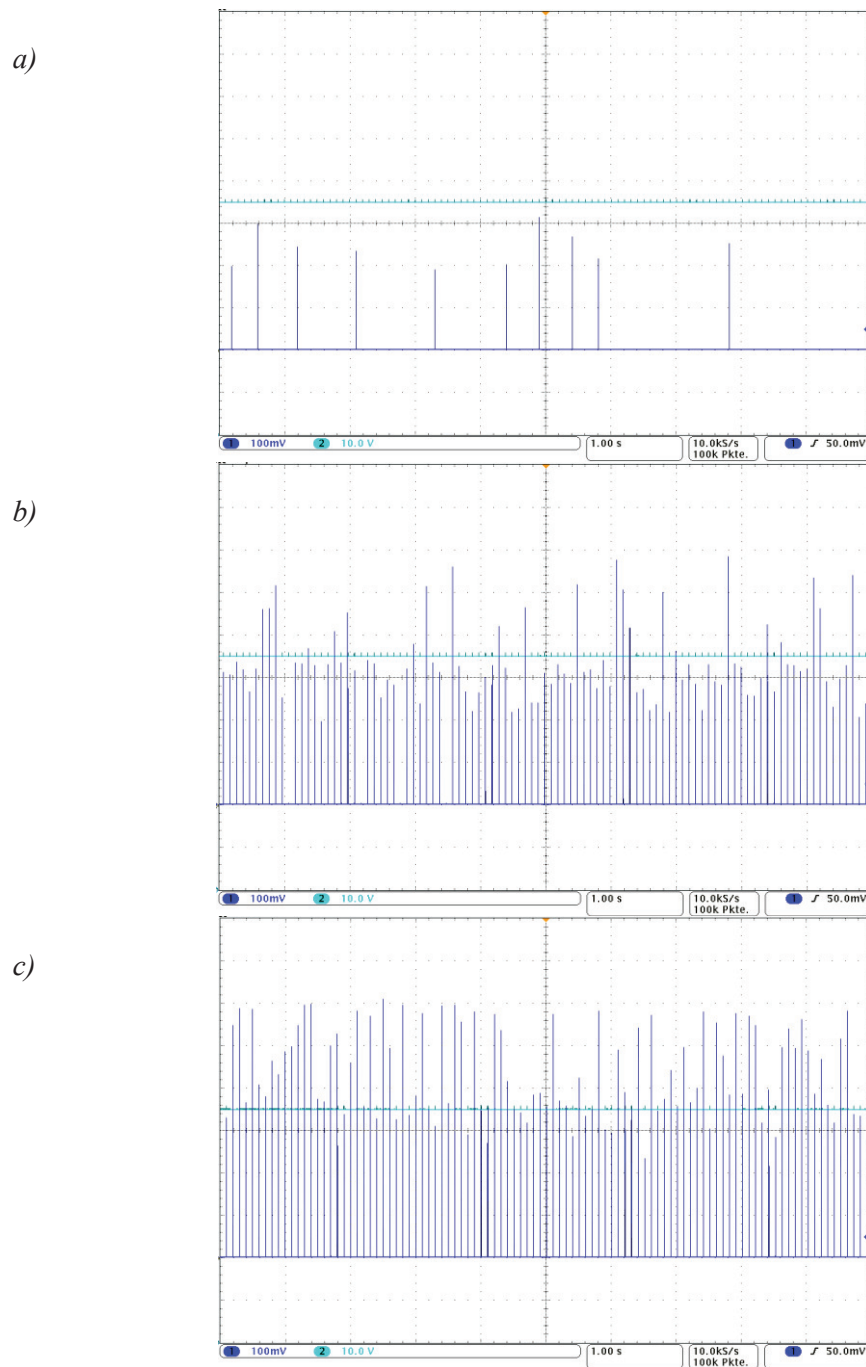


Abb. 4.18: Oszillographen (x-Achse: Zeit, y-Achse: Amplitude) einer pin-Diode im Geiger-Modus bei 0 V (a)), 0,05 V (b)) und 0,1 V Überspannung. Die Überspannung war jeweils alle 100 ms für 1 ms aktiviert. Die dunkelblaue Linie zeigt die Lawinen-Impulse der SPAD an.

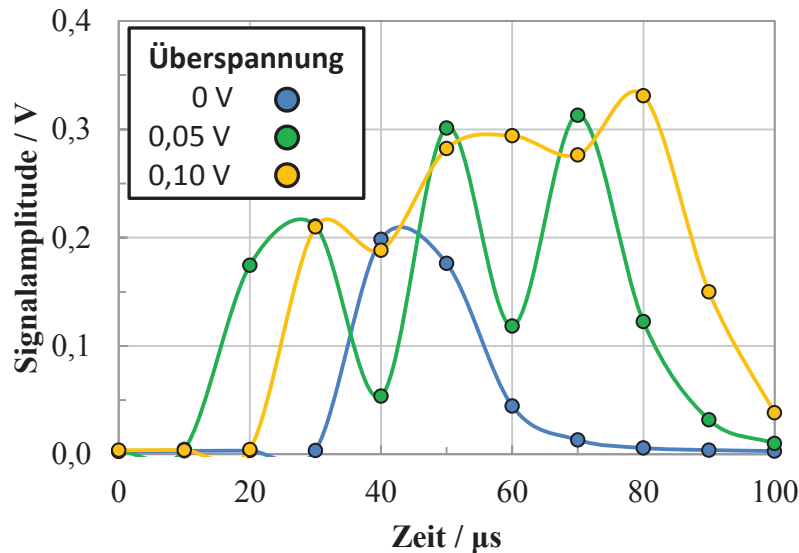


Abb. 4.19: Impulsform in Abhängigkeit der Überspannung 0 V, 0,05 V und 0,1 V innerhalb des aktiven 1 ms Zeitfensters aus Abb. 4.18. Die Linien dienen der Anschaulichkeit.

Um dies zu untersuchen, ist die Kenntnis der Auslösewahrscheinlichkeit für eine Lawine notwendig. Dazu wird im Folgenden das vorhandene Modell für die Detektionswahrscheinlichkeit einer SPAD in der Standard CMOS-Technologie [5] (Abschnitt 4.1.3.1) für eine laterale SPAD, wie sie in der SOI CMOS-Technologie verwendet wird, erweitert. Dabei muss berücksichtigt werden, dass das elektrische Feld der pin-Diode bei vollständiger Verarmung zwei lokale Maxima des elektrischen Feldes aufweist (Abb. 4.20). Zudem hat das elektrische Feld innerhalb der Raumladungszone eine laterale Komponente (entlang der Ausdehnung des intrinsischen Gebiets) und eine vertikale Komponente (senkrecht zur Ausdehnung des intrinsischen Gebiets). Durch die laterale Ausrichtung der Diode ist eine örtliche Abhängigkeit der Auslösewahrscheinlichkeit zu erwarten, weil das elektrische Feld innerhalb der Diode variiert (vgl. Abb. 4.15 b)). Bei der Bestimmung der PDE ist zusätzlich zu beachten, dass die elektromagnetische Strahlung, im Fall der SOI CMOS-Technologie, senkrecht zur Ausrichtung der Diode eintritt und dadurch deren Berechnung (Gleichung (4.9)) angepasst werden muss.

Wird ein Elektron-Loch-Paar in der Raumladungszone der pin-Diode erzeugt, dann wirken zwei Feldkomponenten auf diese Ladung, das laterale Feld  $E_z$  und das vertikale Feld  $E_y$  (Koordinaten nach Abb. 4.5, Darstellung in Abb. 4.20). Das resultierende Feld  $E_{tot}$  ergibt sich aus diesen beiden Komponenten

$$E_{tot} = \sqrt{E_y^2 + E_z^2}. \quad (4.23)$$

Ebenso wie sich das resultierende Feld aus den einzelnen Komponenten ergibt, kann die Beschleunigung der Ladungsträger separat in beide Richtungen betrachtet werden.

Im Folgenden wird das gesamte elektrische Feld  $E_{tot}$  verwendet, wobei dieses an der Unterseite des Films größer ist als der Oberseite, wie in Abb. 4.20 dargestellt. Die zwei lokalen Maxima des elektrischen Felds ( $z=0,5 \mu\text{m}$  bzw.  $z=3,0 \mu\text{m}$ ) tragen beide zur Erhöhung der PDE bei. Für die Stoßionisation ist das elektrische Feld nur an den Orten relevant, an denen es betragsmäßig größer ist als  $1,75 \times 10^5 \text{ V/cm}$  [59]. Ist das elektrische Feld kleiner, dann findet praktisch keine Stoßionisation mehr

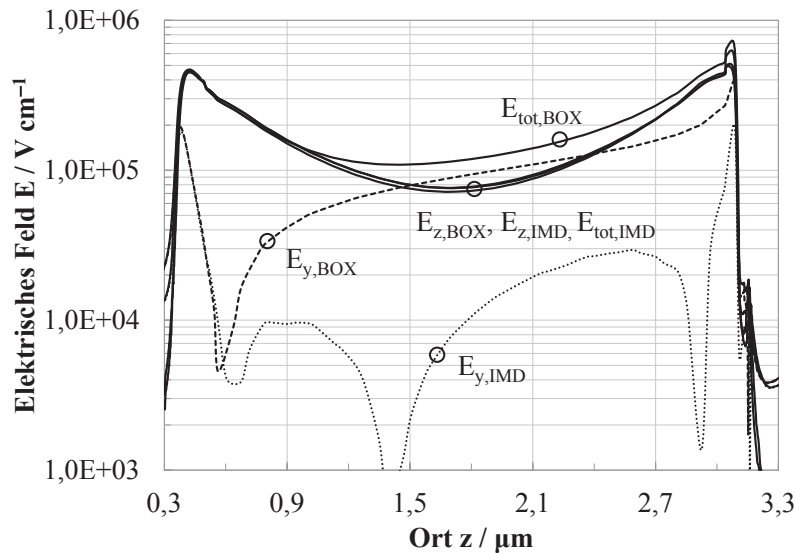


Abb. 4.20: Laterales ( $E_z$ ), vertikales ( $E_y$ ) und gesamtes ( $E_{tot}$ ) elektrisches Feld einer  $3,2 \mu\text{m}$  langen pin-Diode bei vollständiger Verarmung im Durchbruch (0 V Überspannung, 10 V Back-Gate-Spannung) an der Ober- (IMD) bzw. Unterseite (BOX) des Silizium-Films. Die Dotierung des i-Gebiets ist  $N_{Di}=5 \times 10^{16} \text{ cm}^{-3}$ .

statt. Dann kann das elektrische Feld vernachlässigt werden (siehe Abschnitt 4.1.1.4).

Mit Hilfe dieser Überlegung kann die Wahrscheinlichkeit für das Auslösen einer Lawine auf Basis des vorhandenen Modells weiterentwickelt werden. Zu beachten sind die Randbedingungen bei der Lösung der Differentialgleichungen (4.7) und (4.8). Die Randbedingungen für Elektronen bzw. Löcher sind

$$P_e(z = z_{RLZ}) = 0 \text{ bzw. } P_h(z = 0) = 0. \quad (4.24)$$

Die Wahrscheinlichkeit, dass ein Elektron, das an der Kathode generiert worden ist, eine Lawine auslöst, ist Null. Das gleiche gilt für ein Loch, das an der Anode generiert wurde.

Das elektrische Feld der pin-Diode ändert sich sowohl in Abhängigkeit der Tiefe  $y$  als auch in Abhängigkeit des Orts  $z$  (vgl. Abb. 4.5). Dadurch ergibt sich eine ortsabhängige Wahrscheinlichkeit für das Auslösen einer Lawine  $P_p(z)$  durch ein Elektron-Loch-Paar. Diese Wahrscheinlichkeit ist in Abb. 4.21 berechnet worden. Dazu wurde das elektrische Feld im intrinsischen Gebiet der pin-Diode im Durchbruch (Überspannung 0 V) numerisch simuliert. Obwohl die gezeichnete Diode eine Länge von  $3,2 \mu\text{m}$  hat, erstreckt sich die Raumladungszone in einem Bereich von etwa  $3 \mu\text{m}$  (vgl. Abb. 4.20). Das liegt an der Ausdiffusion der Dotierstoffe beim Integrationsprozess. Deswegen wird im Folgenden eine Länge von  $3 \mu\text{m}$  betrachtet.

In Abb. 4.21 befindet sich am Ort  $z=0 \mu\text{m}$  die Anode und am Ort  $z=3 \mu\text{m}$  die Kathode. Die Tiefe im Silizium-Film ist als Legende in Nanometern dargestellt. An der Anode ist die Lawinenwahrscheinlichkeit am höchsten. Im Bereich zwischen etwa  $z=0,2 \mu\text{m}$  und  $z=2,5 \mu\text{m}$  ist die Wahrscheinlichkeit konstant und oberhalb von  $z=2,5 \mu\text{m}$  sinkt diese sehr stark. In der Tiefe ( $y=110 \text{ nm}$ ) ist die Wahrscheinlichkeit relativ hoch verglichen mit der an der Oberfläche ( $y=0 \text{ nm}$ ). Bis zu einer Tiefe von etwa  $20 \text{ nm}$  beträgt die Wahrscheinlichkeit nur einige Prozent. In den restlichen  $90 \text{ nm}$  steigt diese auf etwa  $60 \%$  an.

Die laterale Wahrscheinlichkeitsverteilung ergibt sich im Wesentlichen aufgrund des größeren Ionisationskoeffizienten von Elektronen, verglichen mit Löchern, im Silizium [43]. Der Abfall in der Nähe der Kathode ist die direkte Folge dieses Umstands. Das konstante Niveau der Lawinenwahrscheinlichkeit in der Nähe der Kathode resultiert daraus, dass in diesem Bereich das elektrische Feld kleiner als

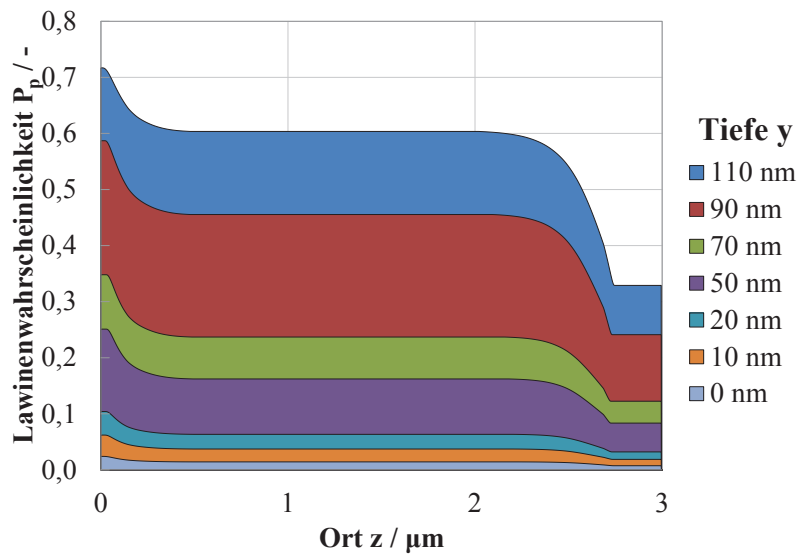


Abb. 4.21: Simulierte Lawinenwahrscheinlichkeit. Die Legende bezeichnet die Tiefe  $y$  im Silizium-Film. 0 nm sind dabei die Oberseite des Films und 110 nm die Unterseite. Vgl. Abb. 4.5.

das kritische Feld für Stoßionisation ist. Das ist der Fall bevor die Raumladungszone endet (vgl. Abb. 4.20). Deshalb bleibt  $P_p$  danach ( $z > 2,8 \mu\text{m}$ ) unverändert. Entsprechend verhält es sich im Bereich  $0,2 \mu\text{m} < z < 2,5 \mu\text{m}$ , zwischen den beiden Spitzen des elektrischen Felds.

Ein Elektron-Loch-Paar, das in der Nähe der Kathode erzeugt wird, kann nur schwer eine Lawine auslösen, da das Elektron nur eine kurze Strecke im Bereich des hohen Felds zurücklegt, bevor es im hochdotierten Gebiet der Kathode ankommt. Das Loch legt dabei zwar die gesamte Strecke durch das intrinsische Gebiet der pin-Diode zurück. Jedoch ist die Wahrscheinlichkeit für das Auslösen einer Lawine durch das Loch viel geringer und somit auch die Gesamtwahrscheinlichkeit.

Wird ein Elektron-Loch-Paar im Bereich  $0,2 \mu\text{m} < z < 2,5 \mu\text{m}$  erzeugt, dann muss das Elektron den gesamten Bereich des hohen elektrischen Feldes an der Kathode durchqueren (vgl. Abb. 4.20). In diesem Fall dominiert die Wahrscheinlichkeit, dass das Elektron eine Lawine auslöst gegenüber der des Lochs. Deshalb ist für  $0,2 \mu\text{m} < z < 2,5 \mu\text{m}$  die Gesamtwahrscheinlichkeit nahezu konstant wie in Abb. 4.21 zu sehen.

Der Anstieg von  $P_p$  nahe der Anode ( $z = 0 \mu\text{m}$ ) kann mit der gleichen Argumentation erklärt werden. Im Fall eines Elektron-Loch-Paars, das nahe der Kathode er-

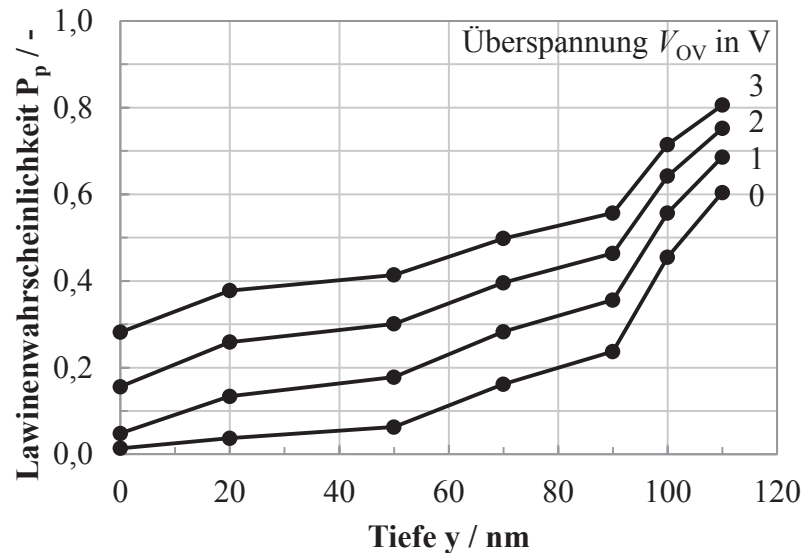


Abb. 4.22: Simulierte Lawinenwahrscheinlichkeit in Abhängigkeit der Tiefe  $y$  und Überspannung  $V_{OV}$  von 0 V, 1 V, 2 V und 3 V am Ort  $z=1 \mu\text{m}$ .

zeugt wird, muss das Elektron sowohl das hohe elektrische Feld nahe der Anode als auch das nahe der Kathode durchqueren. Da das Feld an der Anode kleiner ist als an der Kathode (Abb. 4.20) ist auch dessen Einfluss vergleichsweise kleiner.

Mit steigender Überspannung verändert sich der oben beschriebene Verlauf kaum. Ein Vergleich der Wahrscheinlichkeit zur Auslösen einer Lawine  $P_p$  bei den Überspannungen 0 V, 1 V, 2 V und 3 V ist in Abb. 4.22 dargestellt.  $P_p$  ist als Funktion der Filmtiefe  $y$  dargestellt.

Mit zunehmender Überspannung ist ein deutlicher Anstieg von  $P_p$  in allen Tiefen zu sehen. An der Oberseite ( $y=0$  nm) ist die Veränderung zwischen 0 V und 3 V etwas stärker (Anstieg um etwa 0,3) als an der Unterseite (Anstieg um etwa 0,2).

Aufgrund der Wahrscheinlichkeitsverteilung können folgende Schlüsse auf das erwartete Verhalten der pin-Diode im Geiger-Modus abgeleitet werden

- Strahlung, die direkt an der Oberfläche ( $y=0$  nm) absorbiert wird, hat eine relativ geringe Wahrscheinlichkeit eine Lawine auszulösen. Obwohl Elektronen, die sich an der Oberfläche befinden, aufgrund des vertikalen elektrischen Feldes zur Unterseite des Films abgelenkt werden (in Richtung der höheren Lawinenwahrscheinlichkeit) ist dennoch die Film-Oberfläche ein ungeeigneter Ort, weil dort das vertikale elektrische Feld

ortsabhängig das Vorzeichen wechselt und Ladung teilweise in Richtung Filmoberfläche ablenkt (vgl. Abb. 4.20).

- Die Wahrscheinlichkeit für das Auslösen einer Lawine steigt mit der Filmtiefe und ist an der Unterseite am höchsten. Es ist zu erwarten, dass auch die Gesamtwahrscheinlichkeit von der geringen Wahrscheinlichkeit an der Oberfläche dominiert wird, weil die Intensität der Strahlung an der Oberfläche am höchsten ist. Besonders, wenn die Strahlung nur wenige Nanometer in den Film eindringt, ist eine geringe Lawinenwahrscheinlichkeit zu erwarten.
- Elektronen werden bevorzugt zur Unterseite des Films und damit zur Grenzfläche zwischen Silizium und Siliziumdioxid abgelenkt. Dort herrschen die günstigsten elektrischen Felder für das Auslösen einer Lawine, aber gleichzeitig die ungünstigsten Bedingungen für die Lebensdauer von Ladungsträgern aufgrund von Grenzflächenschäden (zwischen Si und SiO<sub>2</sub>) und Rekombinationszentren.

#### 4.3.4 Dunkelzählrate

Die Dunkelzählrate DCR ist ein wichtiger Parameter bei einer SPAD. Im Fall der pin-Diode der SOI CMOS-Technologie wird die Bestimmung der DCR durch die Änderung der Durchbruch-Spannung während des Betriebs erschwert. Eine Abhilfe bietet der in Abschnitt 4.3.3 beschriebene Burn-In-Prozess, bei dem die Diode vor der Messung im Durchbruch betrieben wird, um die Änderung der Durchbruch-Spannung über eine gewisse Zeit zu stabilisieren. Dennoch gewährleistet der Burn-In-Prozess keinen vollkommen stabilen Betrieb. Zusätzlich ändert sich der Stromfluss beim Auslösen einer Lawine, wenn größere Überspannungen verwendet werden. Dadurch kann sich die Durchbruch-Spannung trotz vorherigem Burn-In stark ändern. Unter diesen Umständen wird im Folgenden die Dunkelzählrate bestimmt.

Es wird ein passiver Lösch-Schaltkreis mit einem Widerstand von 470 kΩ verwendet. Die verwendete pin-Diode hat eine Geometrie von  $2,4\text{ }\mu\text{m} \times 10\text{ }\mu\text{m}$  und eine Dotierung des intrinsischen Gebiets von  $N_{\text{Di}}=1 \times 10^{17}\text{ cm}^{-3}$ . Nach dem Burn-In bei einem Strom von 50 nA und 1500 s wurde der Geiger-Modus bei einer Back-Gate-Spannung von 10 V und einer Sperrspannung von 49,1 V erreicht. Ein Oszillograph dieser Diode ist in Abb. 4.23 gezeigt. Die Messung wurde während der Aufnahme



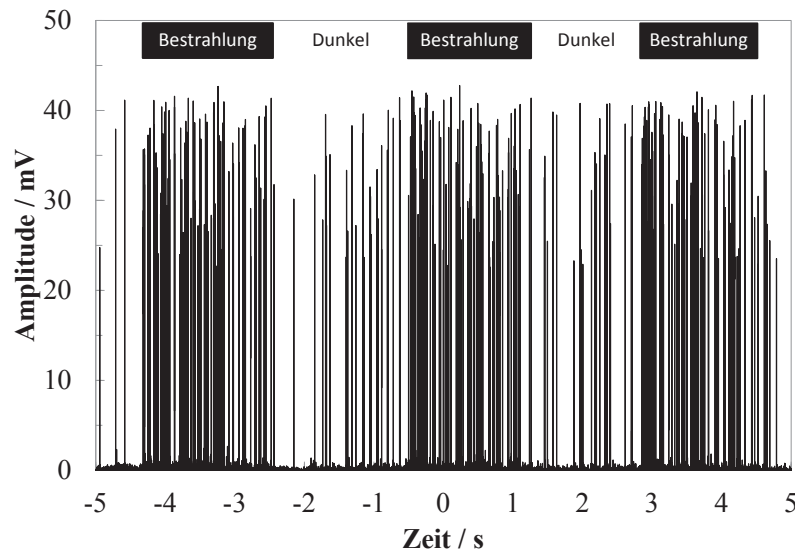


Abb. 4.23: Oszillograph einer pin-Diode im Geiger-Modus. Im Wechsel wurde die Diode bestrahlt (Wellenlänge von 550 nm), um die Lichtempfindlichkeit zu demonstrieren.

abwechselnd in Dunkelheit und bei Bestrahlung mit Licht einer Wellenlänge von 550 nm durchgeführt, um die Lichtempfindlichkeit der Diode zu demonstrieren.

Die Dunkelzählrate wird bestimmt, indem die Impulse innerhalb eines Zeitfensters von 10 s gezählt werden. Aufgrund der Verschiebung der Durchbruch-Spannung ist eine manuelle Messung durchgeführt worden, weshalb eine große statistische Basis nicht erreichbar ist. Dennoch, um die Ergebnisse statistisch zu unterlegen, werden jeweils Messreihen von 10 Messungen in Folge durchgeführt und der Mittelwert sowie die Standardabweichung bestimmt. Vor jeder Messreihe wurde die Durchbruchspannung überprüft und die Überspannung bei Bedarf nachgeregelt. Zwischen den DCR-Messungen wird jeweils die Lichtempfindlichkeit charakterisiert. Diese Ergebnisse werden im nächsten Abschnitt vorgestellt.

Die Messdaten der DCR-Messung sind in Tab. 4.4 zusammengefasst. Gezeigt sind 5 Messreihen mit jeweils 10 hintereinander ausgeführten Aufnahmen (#1 bis #10). Der Mittelwert sowie die Standardabweichung wurden basierend auf den zehn Werten einer Aufnahme bestimmt. Schließlich wurde die DCR pro aktive Fläche berechnet, um einen Vergleich zu Dioden aus der Literatur zu erlauben (vgl. Tab. 4.1).

Tab. 4.4: Messergebnisse der DCR-Messung. Es wurden 5 Messungen mit jeweils 10 Wiederholungen (#1 bis #10) durchgeführt. Wenn nicht anders angegeben sind die Werte in Anzahl der Impulse pro Sekunde. Die Back-Gate-Spannung beträgt 10 V und die Durchbruchspannung 49,1 V.

| Messung  | 1              | 2              | 3              | 4              | 5              |
|--|----------------|----------------|----------------|----------------|----------------|
| # 1  | 18,8           | 6,0            | 7,5            | 7,7            | 7,2            |
| # 2  | 13,2           | 8,0            | 9,6            | 7,5            | 6,8            |
| # 3  | 14,2           | 7,4            | 8,2            | 6,5            | 7,9            |
| # 4  | 15,4           | 9,4            | 8,2            | 6,3            | 5,7            |
| # 5  | 15,7           | 9,9            | 9,0            | 6,9            | 4,9            |
| # 6  | 13,3           | 10,5           | 6,3            | 5,9            | 5,5            |
| # 7  | 10,5           | 12,2           | 9,1            | 7,9            | 5,1            |
| # 8  | 10,7           | 9,0            | 9,1            | 8,1            | 7,5            |
| # 9  | 14,7           | 7,5            | 9,8            | 6,6            | 4,4            |
| # 10   | 10,8           | 10,8           | 13,3           | 7,4            | 5,9            |
| Mittelwert   | 13,7           | 9,1            | 9,0            | 7,1            | 6,1            |
| Standardabweichung   | 2,6            | 1,9            | 1,8            | 0,7            | 1,2            |
| Fläche $A_{\text{SPAD}} / \mu\text{m}^2$                     | 24             |                |                |                |                |
| $\text{DCR}/A_{\text{SPAD}} / \mu\text{m}^{-2}\text{s}^{-1}$ | $1,8 \pm 0,11$ | $0,4 \pm 0,08$ | $0,4 \pm 0,08$ | $0,3 \pm 0,03$ | $0,3 \pm 0,05$ |

Es ist zu sehen, dass die DCR mit zunehmender Betriebsdauer (Messung 1 bis 5) abnimmt. Diese Tendenz ist innerhalb der einzelnen Messreihen (Wiederholung #1 bis #10) nicht zu erkennen. Die Abnahme der DCR geht mit der Verschiebung der Durchbruch-Spannung und damit einer effektiven Verkleinerung der Überspannung (hier 0 V) einher. Dadurch lassen sich nur eine nominelle und keine reale Überspannung bei der durchgeführten Messung angeben.

Ein Vergleich der erreichten Dunkelzählrate pro Fläche mit Literaturangaben (Tab. 4.1) zeigt, dass die hier vorgestellte pin-Diode eine sehr geringe DCR aufweist. Die Gründe dafür sind das geringe Volumen des Siliziumfilms und die kleine Überspannung. Der geringe Wert der Überspannung kann zum Nachteil werden, wenn es darum geht, photogenerierte Ladung zu detektieren. Entscheidend ist nicht nur das Verhalten der SPAD im Dunkeln sondern auch bei Beleuchtung, da letztend-

lich nur die Dunkelzählrate und die Detektionseffizienz zusammen eine vollständige Aussage über die Qualität der SPAD erlauben.

#### 4.3.5 Photon-Detektionseffizienz

Zur Berechnung der Photon-Detektionseffizienz PDE wird beim angepassten Modell (Abschnitt 4.3.3) zusätzliche die Quanteneffizienz der pin-Diode und die Eindringtiefe von elektromagnetischer Strahlung ins Silizium berücksichtigt. Nach [5] ist die wellenlängenabhängige PDE, unter Vernachlässigung von Diffusionsprozessen<sup>13</sup>, gegeben durch folgende Gleichung

$$PDE(\lambda) = t_T(\lambda) \int_0^{w_{RLZ}} \alpha(\lambda) \exp(-\alpha(\lambda)y) P_p(y) dy. \quad (4.25)$$

Diese Gleichung wurde auf die Integrationsrichtung  $y$  (entlang der Einfallsrichtung der Strahlung, vgl. Abb. 4.5) angepasst.  $t_T$  ist die Transmission des BEOL und  $\alpha$  der Absorptionskoeffizient von Silizium. Beide Größen sind wellenlängenabhängig.

Im vorliegenden Fall ist die Richtung, aus der die Strahlung (im Idealfall) die photoaktive Fläche der SPAD trifft, senkrecht zu der Ausbreitungsrichtung der Lawine. Deswegen wird die PDE, wie bereits mit der Lawinenwahrscheinlichkeit  $P_p$  geschehen, in Abhängigkeit der Filmtiefe  $y$  untersucht. Die laterale Verteilung der PDE entspricht der Verteilung der Lawinenwahrscheinlichkeit (Abb. 4.21). Für den Wert der Transmission  $t_T$  in obiger Gleichung wird die simulierte externe Quanteneffizienz  $\eta_{ext}$  (Abb. 3.26) verwendet. Die orts- bzw. tiefenabhängige Lawinenwahrscheinlichkeit  $P_p$  ist in Abb. 4.21 bzw. Abb. 4.22 ermittelt worden und der Absorptionskoeffizient von Silizium ist nach [11] gegeben. Gleichung (4.25) wird für die vorliegende Untersuchung angepasst

$$PDE(\lambda) = \eta_{ext}(\lambda) \int_0^{w_{Tiefe}} \alpha(\lambda) \exp(-\alpha(\lambda)y) P_p(y) dy. \quad (4.26)$$

<sup>13</sup> Im vorliegenden Fall einer pin-Diode der Dünnschicht SOI CMOS-Technologie ist das eine zulässige Annahme, weil das gesamte intrinsische Gebiet als verarmt gilt.

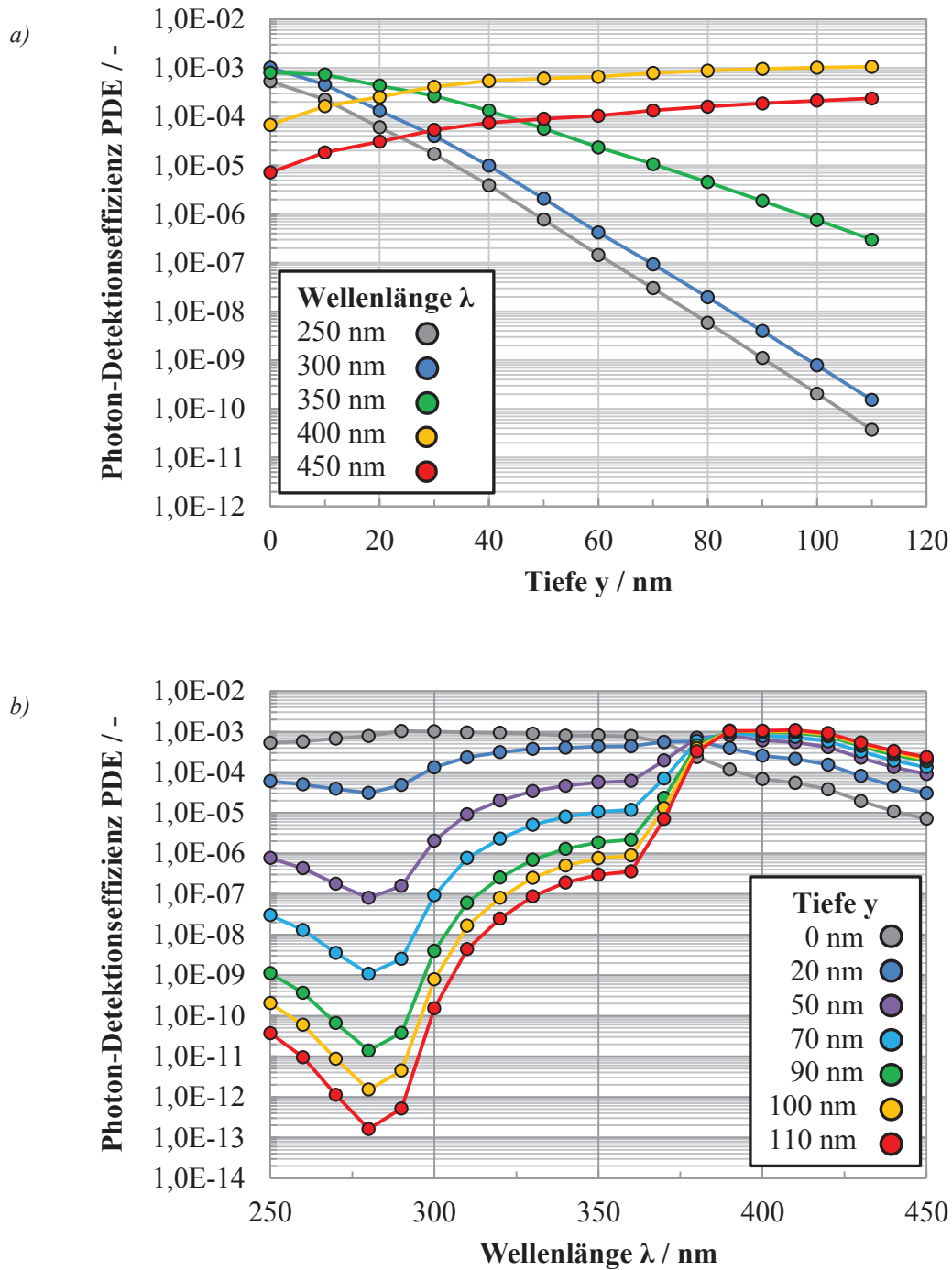


Abb. 4.24: Simulation der Photon-Detectionseffizienz PDE in Abhängigkeit der Tiefe  $y$  und der Wellenlänge  $\lambda$  bei einer Überspannung von 0 V und einer Back-Gate-Spannung von 10 V. In a) ist die PDE als Funktion der Tiefe bei den Wellenlängen 250 nm, 300 nm, 350 nm, 400 nm und 450 nm dargestellt. In b) ist die PDE als Funktion der Wellenlänge dargestellt in den Tiefen 0 nm, 20 nm, 50 nm, 70 nm, 90 nm, 100 nm und 110 nm. Für alle Werte gilt  $z=1\ \mu\text{m}$ .

Neben der Transmission  $t_T$  wurde auch die Integrationstiefe  $w_{RLZ}$  durch  $w_{Tiefe}$  ersetzt. Es wird nicht die gesamte Raumladungszone betrachtet, sondern jeweils ein 1 nm dicker Streifen ( $w_{Tiefe}=1$  nm) in der angegebenen Tiefe in Abb. 4.21 bzw. Abb. 4.22.

$$PDE(\lambda) = \eta_{ext}(\lambda) \int_0^{w_{Tiefe}} \alpha(\lambda) \exp(-\alpha(\lambda)y) P_p(y) dy. \quad (4.27)$$

Mit Hilfe dieses Modells wurde die Abhängigkeit der PDE von der Tiefe und von der Wellenlänge der elektromagnetischen Strahlung untersucht. Das Ergebnis der Untersuchung ist in Abb. 4.24 dargestellt. Die gezeigte Simulation ist im Durchbruch, also bei einer Überspannung von 0 V, durchgeführt worden. Für die Lawinenwahrscheinlichkeit wurde der Wert ( $z=1$   $\mu$ m in Abb. 4.21) verwendet, weil das Plateau der Lawinenwahrscheinlichkeit den größten Teil der Diode einnimmt und deshalb repräsentativ für das generelle Verhalten ist.

Die tiefenabhängige PDE ist in a) dargestellt. Bei den Wellenlängen 250 nm und 300 nm ist der Verlauf der PDE sehr ähnlich. Das liegt daran, dass beide Wellenlängen eine sehr geringe Eindringtiefe ins Silizium von etwa 5 nm aufweisen [11] und in dieser Tiefe die Lawinenwahrscheinlichkeit  $P_p$  nahezu konstant ist (Abb. 4.22). Die PDE bei 250 nm ist geringer wegen der geringeren externen Quanteneffizienz bei dieser Wellenlänge.

Bei  $\lambda=350$  nm ist sowohl die Eindringtiefe mit etwa 10 nm als auch die Quanteneffizienz mit  $\eta_{ext}=0,5$  höher als bei  $\lambda=300$  nm. Insgesamt ergibt das eine höhere PDE mit Ausnahme der Oberfläche des Films ( $y=0$  nm).

Bei den Wellenlängen 400 nm und 450 nm ist die Eindringtiefe größer als 100 nm. Die Strahlung durchdringt also den gesamten Film und ein Teil wird nicht mehr im Film absorbiert. Deshalb ist die PDE bei diesen Wellenlängen (400 nm und 450 nm) an der Oberfläche geringer als bei den anderen dargestellten Wellenlängen. Der nahezu konstante Verlauf der PDE über die Filmdicke ergibt sich bei geringen Tiefen aus der Kombination aus kleiner Lawinenwahrscheinlichkeit  $P_p$  und großer Strahlungsintensität (vgl. Gleichung (3.3)) bzw. bei großen Tiefen aus einer deutlich erhöhten Lawinenwahrscheinlichkeit  $P_p$  und kleiner Strahlungsintensität.

Die wellenlängenabhängige PDE ist in Abb. 4.24 b) gezeigt. Zwei Bereiche lassen sich in dieser Abbildung ausmachen. Die Trennung dieser Bereiche wird durch den Punkt definiert, an dem alle Kennlinien zusammenlaufen. Dieser liegt bei etwa

$\lambda=380$  nm. Der Kennlinienverlauf unterhalb dieser Wellenlänge wird von der Eindringtiefe der Strahlung dominiert und oberhalb dieser Wellenlänge von der Lawinenwahrscheinlichkeit  $P_p$ . Unmittelbar an der Oberfläche des Siliziums ( $y=0$  nm) ist die PDE am größten und bildet ein Plateau zwischen  $\lambda=250$  nm und  $\lambda=370$  nm. In diesem Wellenlängenbereich ist die Eindringtiefe kleiner als 10 nm und die gesamte Strahlungsintensität an der Oberfläche konzentriert. Trotz der geringen Lawinenwahrscheinlichkeit ist die PDE relativ groß. Zwar steigt mit zunehmender Tiefe die Lawinenwahrscheinlichkeit (Abb. 4.22), aber gleichzeitig dringt keine Strahlung in diesem Wellenlängenbereich tief genug ein. Somit sinkt die PDE, wie dargestellt, mit zunehmender Tiefe.

Oberhalb von  $\lambda=380$  nm wird der gesamte Film von der Strahlung durchdrungen. Die hohe Lawinenwahrscheinlichkeit an der Filmunterseite trägt dann maßgeblich zur PDE bei, wodurch der Beitrag bei  $y=110$  nm ab dieser Wellenlänge dominiert. Die PDE nimmt deshalb Werte an, die auch für kleinere Wellenlängen an der Oberfläche erreicht werden.

Aus dieser Untersuchung kann gefolgert werden, dass das elektrische Feld an der Oberfläche des Films maßgeblich für eine hohe PDE bei kleinen Wellenlängen ist. Aufgrund der größeren Lawinenwahrscheinlichkeit an der Unterseite des Films reicht der Beitrag von der Filmunterseite ( $y=110$  nm) an den von der Filmoberseite ( $y=0$  nm). Das liegt daran, dass die relativ hohe Lawinenwahrscheinlichkeit in der Tiefe die geringe Intensität der Strahlung, in Kombination mit der geringen Quanteneffizienz bei Wellenlängen um 400 nm, kompensieren kann.

Eine Messung der PDE wurde anhand einer pin-Diode wie bei der Bestimmung der DCR durchgeführt. Ein grundsätzlicher Test der Lichtempfindlichkeit der SPAD ist in Abb. 4.23 gezeigt. Dabei wurde während des Betriebs im Geiger-Modus die Bestrahlung der SPAD ein- und ausgeschaltet. Eine Reaktion auf die Strahlung ist durch eine Erhöhung der Pulszahl in dieser Abbildung zu erkennen. Der Versuch wurde dabei bei einer Wellenlänge von  $\lambda=550$  nm durchgeführt. Bei dieser Wellenlänge beträgt die Photonenzahl mehr als  $20 \times 10^3 \mu\text{m}^{-2} \text{s}^{-1}$ .

Die PDE-Messung wurde analog zur DCR-Messung im vorhergehenden Abschnitt durchgeführt. Die Ergebnisse sind in Tab. 4.5 zusammengefasst. In Abb. 4.25 findet sich eine graphische Darstellung der Mittelwerte der Zählraten bei Bestrahlung und in Dunkelheit.

In Tab. 4.5 ist die Zählrate bei Bestrahlung mit Licht der Wellenlänge 250 nm, 300 nm, 350 nm, 400 nm und 450 nm dargestellt. Mit der ebenfalls angegebenen Photonenzahl  $PZ$  und der DCR aus Tab. 4.4 ist die PDE nach Gleichung (4.19) berechnet worden. Dabei ist  $CR_{\text{Mess}}$  die gemessene Pulszahl aus Tab. 4.5, und  $DCR_{\text{Mess}}$

Tab. 4.5: Messergebnisse der PDE-Messung. Es wurden 5 Messungen bei den Wellenlängen 250 nm, 300 nm, 350 nm, 400 nm und 450 nm mit jeweils 10 Wiederholungen (#1 bis #10) durchgeführt. Wenn nicht anders angegeben sind die Werte in Anzahl der Impulse pro Sekunde. Die angegebenen Werte berücksichtigen die DCR. Die simulierte PDE wurde bei  $z=1 \mu\text{m}$  ermittelt. Die Back-Gate-Spannung beträgt 10 V und die Durchbruchspannung 49,1 V.

| Wellenlänge / nm                                   | 250         | 300           | 350           | 400           | 450           |
|--|-------------|---------------|---------------|---------------|---------------|
| # 1  | 13,0        | 11,3          | 12,7          | 10,5          | 7,9           |
| # 2  | 9,9         | 10,9          | 14,3          | 9,7           | 9,1           |
| # 3  | 13,4        | 10,8          | 10,2          | 7,6           | 6,1           |
| # 4  | 12,2        | 10,0          | 10,9          | 8,4           | 5,0           |
| # 5  | 11,4        | 9,1           | 11,5          | 9,0           | 6,7           |
| # 6  | 10,9        | 8,2           | 15,2          | 6,8           | 6,5           |
| # 7  | 10,6        | 8,6           | 11,4          | 9,1           | 7,2           |
| # 8  | 8,9         | 8,2           | 12,0          | 10,2          | 7,3           |
| # 9  | 11,1        | 8,3           | 10,5          | 7,4           | 6,1           |
| # 10   | 8,6         | 13,0          | 10,4          | 7,9           | 6,1           |
| Mittelwert   | 11,0        | 9,8           | 11,9          | 8,7           | 6,8           |
| Standardabweichung                                 | 1,6         | 1,6           | 1,7           | 1,2           | 1,1           |
| Fläche $A_{\text{SPAD}} / \mu\text{m}^2$           | 24          |               |               |               |               |
| Photonenzahl $PZ / \mu\text{m}^{-2} \text{s}^{-1}$ | 23          | 26            | 18            | 14            | 9             |
| Aktive Zeit $t_{\text{Aktiv}} / \text{s}$          | $\approx 1$ |               |               |               |               |
| Gezählte Photonen / -                              | <0          | $0,8 \pm 2,7$ | $2,9 \pm 3,1$ | $1,6 \pm 0,8$ | $0,7 \pm 1,3$ |
| PDE / %  | <0          | $1,3 \pm 4,5$ | $6,7 \pm 7,1$ | $4,7 \pm 2,3$ | $3,3 \pm 6,3$ |
| PDE <sub>Modell</sub> / %                          | 3,5         | 6,8           | 8,0           | 17,7          | 3,9           |

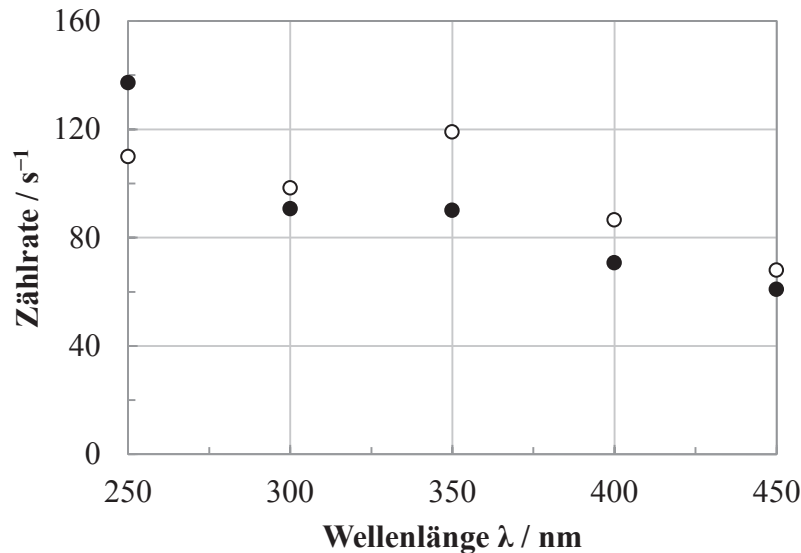


Abb. 4.25: Mittelwerte der Zählrate in Dunkelheit (volle Kreise) bzw. bei Bestrahlung (leere Kreise) entsprechend Tab. 4.4 bzw. Tab. 4.5.

die DCR aus Tab. 4.4. Die geringe Zählrate und eine Halbwertsbreite der Pulse von weniger als 200  $\mu\text{s}$  ergibt eine aktive Zeit von fast einer Sekunde. Daraus ergibt sich für die betrachteten Wellenlängen eine PDE im einstelligen Prozent-Bereich. Aufgrund der großen Standardabweichung ( $\pm$ -Werte der gemessenen PDE in Tab. 4.5), die fast ausnahmslos größer ist als der gemessene Mittelwert, ist die Aussagekraft dieser Werte sehr gering. Außer einer prinzipiellen Lichtempfindlichkeit kann zu diesem Zeitpunkt keine Aussage über die PDE der untersuchten SPADs gemacht werden.

Aufgrund der Verschiebung der Durchbruchspannung ist es messtechnisch nicht möglich, die PDE zuverlässig zu bestimmen. Deshalb wurde diese mit Hilfe des entwickelten Modells simuliert, um eine Abschätzung für die tatsächliche PDE zu erhalten. Diese Simulationsergebnisse befinden sich in der Zeile  $\text{PDE}_{\text{Modell}}$  der Tabelle. Für diese Simulation wurde das elektrische Feld der 2,4  $\mu\text{m}$  langen Diode mit einer Dotierung des intrinsischen Gebiets von  $1 \times 10^{17} \text{ cm}^{-3}$  verwendet. Die Simulation wurde, wie die Messung, bei vollständiger Verarmung des i-Gebiets durchgeführt. Zur Bestimmung der PDE mit dem Modell wurde eine Integration über die Filmtiefe  $y$  durchgeführt.



Die Werte des Modells liegen bis auf den Wert bei einer Wellenlänge von 400 nm in derselben Größenordnung wie die gemessenen Werte. Das Modell berücksichtigt Verluste aufgrund der Reflexion von Strahlung am BEOL, jedoch nicht interne Verluste innerhalb der Diode (zum Beispiel Rekombination). Der große Unterschied zwischen Simulation und Messung bei dieser Wellenlänge (400 nm) kann zum Beispiel aufgrund von Rekombination der photogenerierten Strahlung an der Grenzfläche zwischen Silizium und dem vergrabenen Oxid stammen.

Für eine zuverlässige Beschreibung muss die Charakterisierung der PDE mit einer geringeren Standardabweichung stattfinden, damit die Aussagekraft der Messergebnisse besser wird. Eine Möglichkeit das zu erreichen wäre die Verwendung einer stärkeren Lichtquelle bei Wellenlängen unter 450 nm. Leider liegt eine solche Möglichkeit zum Zeitpunkt der Anfertigung dieser Arbeit nicht vor.

Dennoch soll im Folgenden mit Hilfe des Modells ein Weg aufgezeigt werden wie die SPAD verbessert werden kann. Der Einfachheit halber wird dazu eine idealisierte pin-Diode verwendet und dann modifiziert. Die idealisierte Diode wird dadurch realisiert, dass diese eine homogene Dotierungen und abrupte pn-Übergänge aufweist. Ein Querschnitt der Diode ist in Abb. 4.26, oben gezeigt. Die Abmessungen der Diode sind in derselben Abbildung dargestellt. Die n-Dotierung des intrinsischen Gebiets hat einen Wert von  $4 \times 10^{16} \text{ cm}^{-3}$ . Die Anode und Kathode ist vergleichsweise hoch ( $> 1 \times 10^{19} \text{ cm}^{-3}$ ) dotiert.

Diese Diode wird modifiziert, indem kathodenseitig ein Gate eingefügt wird, welches  $0,5 \text{ }\mu\text{m}$  über die Kathode hinausragt. Die modifizierte Diode ist in der selben Abb. 4.26 unten gezeigt. Die Oxiddicke des Gates wurde identisch zu der des vergrabenen Oxids gewählt. Bis auf das zusätzliche Gate sind beide Dioden identisch.

Das elektrische Feld beider Dioden wurde jeweils im Durchbruch simuliert. Ein Vergleich des maximalen elektrischen Feldes (an der Kathode) in Abhängigkeit der Tiefe ist in Abb. 4.27 gezeigt.

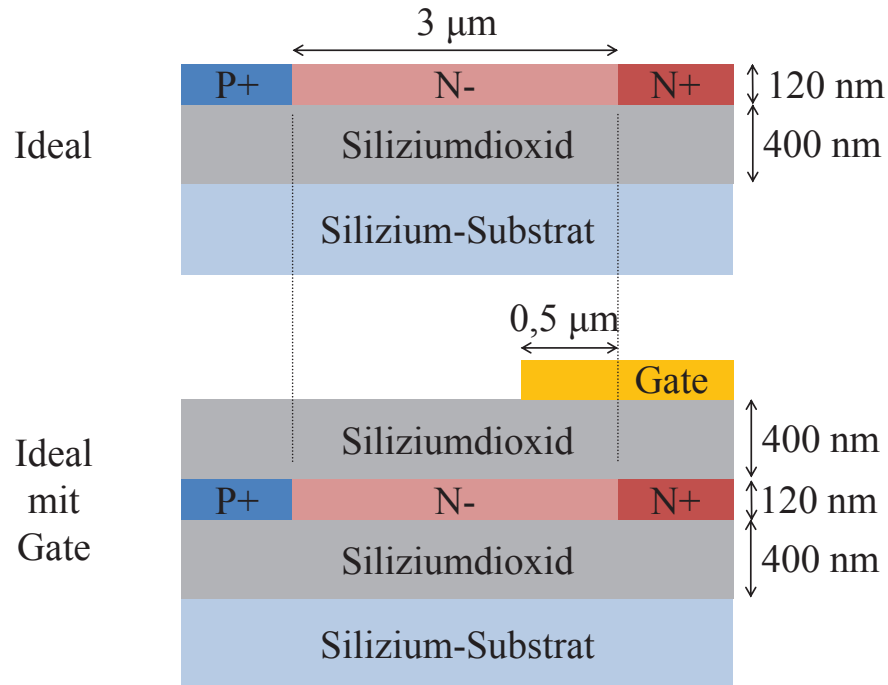


Abb. 4.26: Querschnitt der idealen pin-Diode (oben) und einer optimierten pin-Diode mit Gate (unten) zur Verbesserung der Photon-Detektionseffizienz.

Das zusätzliche Gate führt dazu, dass das elektrische Feld symmetrisch im Film verteilt ist. Gleichzeitig wird das höchste Feld an der Oberseite ( $y=10\ \text{nm}$ ) und an der Unterseite ( $y=110\ \text{nm}$ ) des Films erreicht. Dadurch erhöht sich das Feld, im Vergleich zur Struktur ohne zusätzliches Gate, in der Mitte des Films. Eine solche Feldverteilung ist günstiger bezüglich der PDE.

Mit der simulierten elektrischen Feldverteilung wurden beide Strukturen bezüglich ihrer PDE verglichen. Das Ergebnis dieses Vergleichs ist in Abb. 4.28 gezeigt. Der Durchbruch wurde bei der idealen Diode zu  $37\ \text{V}$  und bei der Diode mit Gate zu  $29\ \text{V}$  bestimmt.

In Abb. 4.28 ist zu erkennen, dass sich die PDE aufgrund des zusätzlichen Gates verbessert hat. Die Verbesserung erstreckt sich nahezu homogen über den gesamten Wellenlängenbereich. Die Strahlung kann besser detektiert werden aufgrund des höheren elektrischen Feldes an der Oberseite und in der Mitte des Films bei der Diode mit Gate (vgl. Abb. 4.27).

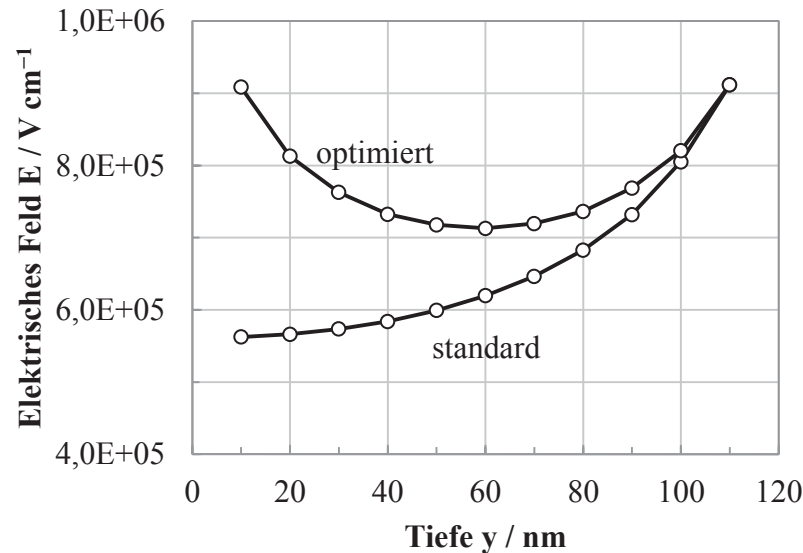


Abb. 4.27: Simuliertes maximales elektrisches Feld in Abhängigkeit der Tiefe einer idealen pin-Diode ohne (standard) und mit (optimiert) zusätzlichem Gate über der Kathode.

Bei diesem Vergleich ist zu beachten, dass das zusätzliche Gate einen Nachteil mit sich bringt. Wird es zum Beispiel durch Polysilizium, das Standard-Gate-Material in der CMOS-Technologie, realisiert, dann ist der durch das Gate abgedeckte Bereich der Photodiode nicht mehr photoaktiv, weil das Polysilizium sämtliche Strahlung bis zu einer Wellenlänge von etwa 450 nm (die Dicke des Polysiliziums beträgt etwa 300 nm) absorbiert. Im simulierten Fall waren 0,5  $\mu\text{m}$  der gesamten Länge des intrinsischen Gebiets von 3  $\mu\text{m}$  durch das Gate abgedeckt. Das sind etwa 17 % der Gesamtlänge. Entsprechend ist die Quanteneffizienz einer Diode mit Gate um 17 % geringer als die einer Diode ohne Gate. Die Quanteneffizienz beeinflusst unmittelbar die PDE (vgl. Gleichung (4.27)) und somit würde das einen Verlust der PDE um den entsprechenden Wert bedeuten. Mit der Berücksichtigung dieses Verlusts bleibt dennoch eine Verbesserung der PDE, die man durch das zusätzliche Gate an der Kathode erzielt, erhalten.

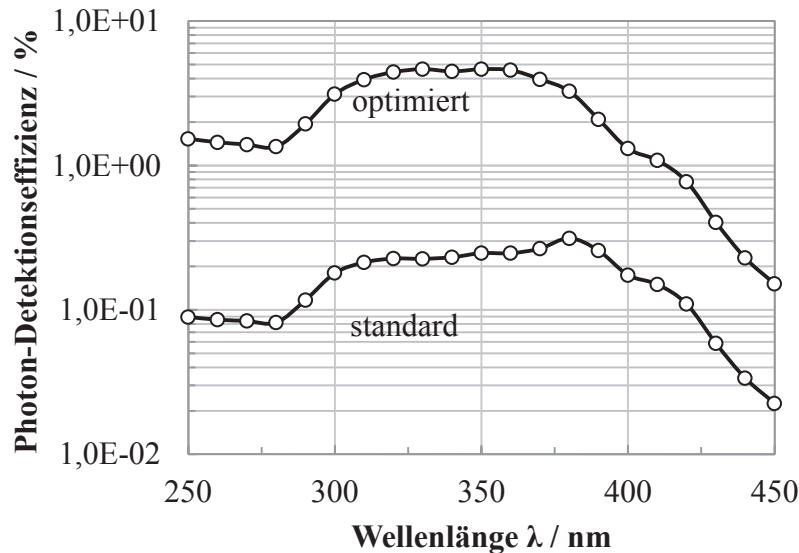


Abb. 4.28: Simulierte Photon-Detektionseffizienz PDE einer idealen pin-Diode ohne (standard) und mit (optimiert) zusätzlichem Gate über der Kathode.

## 4.4 Zusammenfassung

In diesem Kapitel wurde die pin-Diode der SOI CMOS-Technologie auf ihre Eignung als SPAD untersucht. Zunächst wurde das Back-Gate abhängige Durchbruchverhalten der pin-Diode charakterisiert. Es wurde gezeigt, dass sich der Mechanismus, der das Verhalten vor bzw. während des Durchbruchs bestimmt, in Abhängigkeit des Betriebszustands, induziert durch das Back-Gate, ändert. Ausgehend von vollständiger Verarmung, bei der die Lawinenmultiplikation dominiert, ändert sich dieses Verhalten, wenn das Back-Gate in Akkumulation oder Inversion gesteuert wird. Dabei wird das Band-zu-Band-Tunneln dominant. Letzteres ist ungeeignet für den Betrieb der pin-Diode als SPAD.

Im nächsten Schritt wurde die pin-Diode im Durchbruch betrieben. Aufgrund der Entstehung von heißen Ladungsträgern kommt es zu einer Veränderung der Durchbruch-Spannung der Diode. Die Ursache dieser Veränderung wurde mit Hilfe von TCAD-Simulationen im Vergleich zur gemessenen Veränderung untersucht. Diese Untersuchung hat gezeigt, dass abhängig vom Betriebszustand (Akkumulati-

on, Verarmung, Inversion) Ladungsträger an den Grenzflächen zwischen Silizium-Film und Siliziumdioxid eingebaut werden. Diese Ladungsträger werden vorwiegend an den Orten eingebaut, wo das elektrische Feld groß genug ist, um heiße Ladungsträger zu erzeugen. Es wurde gezeigt, dass sowohl in Inversion als auch bei vollständiger Verarmung positive Ladungsträger die Ursache für die Verschiebung sind. In beiden Fällen werden diese in der Nähe der Kathode eingebaut, im Fall der vollständigen Verarmung an der Film-Unterseite und im Fall der Inversion an der Film-Oberseite. In Akkumulation sind die Verhältnisse invers zur Inversion. Es werden also negative Ladungen an der Film-Unterseite in der Nähe der Anode erzeugt.

Da die Verschiebung der Durchbruch-Spannung mit zunehmender Betriebsdauer der pin-Diode im Durchbruch nicht vermieden werden kann, wurde das sättigende Verhalten dieser Verschiebung ausgenutzt. Dadurch konnte ein relativ stabiler Zustand der Verschiebung erreicht werden und die pin-Diode wurde im Geiger-Modus eingesetzt. Die Überspannung, die einen wesentlichen Einfluss auf das Verhalten einer SPAD hat, konnte im Fall der untersuchten pin-Diode nicht beliebig eingestellt werden, weil sich mit der Überspannung auch die Verschiebung der Durchbruch-Spannung beschleunigt hat. Es konnte kein stabiler Zustand bei hohen Überspannungen erreicht werden.

Bei Überspannungen nahe 0 V wurde die pin-Diode hinsichtlich ihrer DCR und PDE untersucht. Die Charakterisierung der DCR hat gezeigt, dass sich die Durchbruchspannung, selbst nach einem Burn-In, ändert. Dadurch war eine zuverlässige Charakterisierung der DCR nicht möglich. Das war auch bei der Charakterisierung der PDE der Fall. Insbesondere wurde bei dieser Messung eine sehr große Standardabweichung, im Vergleich zum gemessenen Wert, festgestellt.

Um dennoch Erkenntnisse zu der untersuchten pin-Diode betrieben im Geiger-Modus zu gewinnen, wurde ein bestehendes Modell für die Lawinenwahrscheinlichkeit einer SPAD für die laterale pin-Diode der SOI CMOS-Technologie weiterentwickelt. Mit diesem Modell wurde die ortsabhängige Lawinenwahrscheinlichkeit der pin-Diode betrachtet. Es wurde gezeigt, dass der Einfluss der Überspannung aufgrund der besonderen elektrischen Feldverteilung (Feldmaxima an der Anode und der Kathode) auf die Lawinenwahrscheinlichkeit an der Oberfläche am größten ist. Ein schmaler Bereich an der Unterseite des Silizium-Films profitiert weniger von der Überspannung. Gleichzeitig ist dieser Bereich aber nicht wesentlich an der Detektion von kurzweiliger Strahlung beteiligt. Insgesamt ist die Abhängigkeit der

PDE von der Überspannung recht groß. Die mit dem Modell berechnete PDE zeigt eine akzeptable Übereinstimmung mit der gemessenen PDE.

Mit Hilfe des weiterentwickelten Modells wurde ein Ansatz vorgestellt wie die PDE verbessert werden kann. Dabei wurde eine ideale pin-Diode betrachtet. Durch den Einbau eines zusätzlichen Gates in der Nähe des höchsten elektrischen Felds (an der Kathode) konnte eine homogene Feldverteilung über die Dicke des Siliziumfilms realisiert werden. Dabei haben sich sowohl das elektrische Feld als auch die PDE erhöht. Trotz des möglichen Nachteils eines solchen Gates, der verringerten photoaktiven Fläche, konnte eine deutliche Verbesserung der PDE erzielt werden.

## 5 Zusammenfassung und Ausblick

Die Überlegung, die zur Durchführung dieser Arbeit geführt hat, beruhte auf dem *More-Than-Moore* Prinzip und basierte auf zwei Fragestellungen, die dazu geführt haben, dass folgende Themen bearbeitet wurden

- die Realisierbarkeit von Photodioden in einer SOI CMOS-Technologie,
- die Realisierbarkeit von SPADs in einer SOI CMOS-Technologie.

In Kapitel 3 wurden die elektrischen und optischen Eigenschaften von pin-Dioden der SOI CMOS-Technologie untersucht.

Es wurde gezeigt, wie das elektrische Verhalten dieser Dioden von der Form, der Länge, der Dotierung, der Dicke des SOI-Films, der Temperatur und den Potentialen an der Anode, der Kathode und dem Back-Gate abhängt. Der für Photodioden wichtigste elektrische Parameter, der Dunkelstrom, wurde in Abhängigkeit dieser Parameter betrachtet.

Eine runde Form der pin-Diode erlaubt einen geringeren Dunkelstrom, weil dann Grenzflächen zwischen Feldoxid und dem aktiven Gebiet der Diode verringert werden. Gleichzeitig hat diese Form den Nachteil, dass der Füllfaktor, verglichen mit einer rechteckigen Diode, sinkt. Weiterhin bestimmt die Länge des intrinsischen Gebiets der pin-Diode das Durchbruchverhalten und dadurch auch den Dunkelstrom.

Die pin-Dioden können in einem gewissen Rahmen unabhängig von der Dotierung des intrinsischen Gebiets eingesetzt werden, indem das elektrische Verhalten durch das Back-Gate angepasst wird. Dabei kann bei geeigneter Wahl der Back-Gate-Spannung vollständige Verarmung des intrinsischen Gebiets erreicht werden.

Dieser Zustand ist sehr wichtig, um elektromagnetische Strahlung möglichst effektiv detektieren zu können.

Der größte Vorteil der pin-Dioden in der SOI CMOS-Technologie gegenüber denen der Standard CMOS-Technologie ist deren Temperaturabhängigkeit des Dunkelstroms. Es wurde gezeigt, dass der Dunkelstrom der vollständig verarmten pin-Diode eine deutlich geringere Temperaturabhängigkeit bei Temperaturen über 100 °C aufweist als die Dioden der Standard CMOS-Technologie. Das ist besonders interessant, weil diese in einem Umfeld bei hohen Temperaturen eingesetzt werden können. Dieser Vorteil geht allerdings auf Kosten einer beschränkten Empfindlichkeit gegenüber elektromagnetischer Strahlung. Die Empfindlichkeit ist auf einen Wellenlängenbereich zwischen etwa 250 nm und 450 nm beschränkt.

Zur Beschreibung des Dunkelstroms der pin-Diode wurde ein analytisches Modell entwickelt. Dieses Modell berücksichtigt die Abhängigkeit des Dunkelstroms von der Sperrspannung, der Geometrie und der Temperatur. Mit Hilfe des Modells wurde die Entstehung des Dunkelstroms bei der pin-Diode untersucht. Oberflächen-generation an den Grenzflächen zwischen dem Silizium-Film und dem Siliziumdioxid wurde als der dominante Beitrag identifiziert. Zur Verringerung des Dunkelstroms ist demnach die Qualität dieser Grenzflächen zu verbessern. Zusätzlich konnte die Temperaturabhängigkeit des Dunkelstroms mit Hilfe des Modells nachgebildet und somit theoretisch beschrieben werden.

Die Quanteneffizienz, die Effektivität der Diode bei der Detektion von elektromagnetischer Strahlung, wurde im zweiten Teil des Kapitels 3 untersucht. Ein Vergleich von Messung und Simulation hat gezeigt, dass die pin-Dioden aufgrund der Siliziumnitrid-Passivierung und aufgrund der geringen Silizium-Filmdicke der SOI CMOS-Technologie eine spektrale Beschränkung der Quanteneffizienz aufweisen. In diesem Zusammenhang wurde der Einfluss des vergrabenen Oxids sowie der Film-Dicke auf die Quanteneffizienz betrachtet. Durch die unterschiedlichen Brechungsindizes des Siliziumdioxids und des Siliziums entstehen Mehrfachreflexionen an der Unterseite des Siliziumfilms, die zu einer Erhöhung der Quanteneffizienz führen können. Wird die Länge der pin-Diode zu groß, dann werden größere Sperrspannungen benötigt, um die photogenerated Ladung effektiv detektieren zu können. Durch die Steuerwirkung des Back-Gates wird die Detektion der Strahlung unterstützt. Die höchsten Quanteneffizienzen werden erreicht, wenn das intrinsische Gebiet mit Unterstützung des Back-Gates vollständig verarmt wird.



In Kapitel 4 wurde die pin-Diode der SOI CMOS-Technologie auf ihre Eignung als SPAD untersucht. Zunächst wurde das Back-Gate abhängige Durchbruchverhalten der pin-Diode charakterisiert.

Es wurde gezeigt, dass der Durchbruchmechanismus der pin-Diode abhängig vom Back-Gate-Potential ist. Nur bei vollständiger Verarmung ist dabei der Lawinendurchbruch dominant und erlaubt den Betrieb im Geiger-Modus.

Bei vollständiger Verarmung wurde die pin-Diode im Durchbruch betrieben. Dabei entstehen heiße Ladungsträger im Siliziumfilm. Aufgrund der Entstehung dieser heißen Ladungsträger kommt es zu einer Veränderung der Durchbruchspannung der Diode. Die Ursache dieser Veränderung wurde mit Hilfe von TCAD-Simulationen im Vergleich zur gemessenen Veränderung untersucht. Diese Untersuchung hat gezeigt, dass Ladungsträger abhängig vom Betriebszustand (Akkumulation, Verarmung, Inversion) an den Grenzflächen zwischen Silizium-Film und Siliziumdioxid eingebaut werden. Diese Ladungsträger werden vorwiegend an den Orten eingebaut, wo das elektrische Feld groß genug ist, um heiße Ladungsträger zu erzeugen.

Da die Verschiebung der Durchbruchspannung mit zunehmender Betriebsdauer der pin-Diode im Durchbruch nicht vermieden werden kann, wurde das sättigende Verhalten dieser Verschiebung ausgenutzt. Dadurch konnte ein relativ stabiler Zustand der Verschiebung erreicht werden und die pin-Diode wurde im Geiger-Modus eingesetzt. Dennoch erlaubt dieser quasistabile Zustand im Betrieb keine Einstellung einer nennenswerten Überspannung, weil dabei gleichzeitig die Verschiebung der Durchbruchspannung beschleunigt wird.

Bei Überspannungen nahe 0 V wurde die pin-Diode hinsichtlich ihrer DCR und PDE untersucht. Die Charakterisierung der DCR hat gezeigt, dass sich die Durchbruchspannung, selbst nach einem Burn-In, ändert. Dadurch war eine zuverlässige Charakterisierung der DCR nicht möglich. Das war auch bei der Charakterisierung der PDE der Fall.

Um dennoch Erkenntnisse zu der untersuchten pin-Diode, betrieben im Geiger-Modus, zu gewinnen, wurde ein bestehendes Modell für die Lawinenwahrscheinlichkeit einer SPAD für die laterale pin-Diode der SOI CMOS-Technologie weiterentwickelt. Mit diesem Modell wurde die ortsabhängige Lawinenwahrscheinlichkeit der pin-Diode betrachtet.

Es wurde gezeigt, dass der Einfluss der Überspannung aufgrund der besonderen elektrischen Feldverteilung (Feldmaxima an der Anode und der Kathode) auf die Lawinenwahrscheinlichkeit an der Oberfläche am größten ist. Ein schmaler Bereich an der Unterseite des Silizium-Films profitiert weniger von der Überspannung. Gleichzeitig ist dieser Bereich aber nicht wesentlich an der Detektion von kurzwelliger Strahlung beteiligt. Insgesamt ist die Abhängigkeit der PDE von der Überspannung recht groß. Die mit dem Modell berechnete PDE zeigt eine akzeptable Übereinstimmung mit der gemessenen PDE.

Mit Hilfe des weiterentwickelten Modells wurde ein Ansatz vorgestellt wie die PDE verbessert werden kann. Dabei wurde eine ideale pin-Diode betrachtet. Durch den Einbau eines zusätzlichen Gates in der Nähe des höchsten elektrischen Felds (an der Kathode) konnte eine homogene Feldverteilung über die Dicke des Siliziumfilms realisiert werden. Dabei hat sich sowohl das elektrische Feld als auch die PDE erhöht. Trotz des möglichen Nachteils eines solchen Gates, der verringerten photoaktiven Fläche, konnte eine deutliche Verbesserung der PDE erzielt werden.

Die während der Anfertigung dieser Arbeit gewonnenen Erkenntnisse haben dazu geführt, dass weitere Fragestellungen entstanden sind. Aufgrund des zeitlichen Rahmens, war es nicht möglich alle diese Fragestellungen zu untersuchen. Dennoch können diese als Basis für zukünftige Arbeiten dienen.

In Kapitel 3 wurde ein Modell für den Dunkelstrom der pin-Dioden entwickelt. Trotz der guten Beschreibung der gemessenen pin-Dioden ist das Modell erweiterbar und verbesserungswürdig. Besonders interessant wäre eine genauere Beschreibung des Durchbruch-Verhaltens, das sowohl durch das dargestellte analytische Modell als auch durch das verwendete numerische Modell (TCAD) nicht präzise dargestellt werden konnte. Wie in der vorliegenden Arbeit gezeigt, ist dazu eine möglichst genaue Darstellung des elektrischen Feldes notwendig, da bereits geringe Fehler zu einer großen Fehlerfortpflanzung bei der Bestimmung der Ionisationskoeffizienten führen. Weiterhin kann das Modell erweitert werden, um zum Beispiel Tunnelmechanismen zu berücksichtigen.

Neben dem elektrischen Verhalten sollte auch das optische Verhalten der pin-Diode vertieft untersucht werden. Dabei ist die Betrachtung der Back-Gate-abhängigen Quanteneffizienz ein wichtiger Aspekt. Das prinzipielle Verhalten wurde in der vorliegenden Arbeit dargestellt und ein Ansatz zur Modellierung der Quan-

teneffizienz wurde aufgezeigt. Für eine vollständige Beschreibung der pin-Diode als Photodiode ist dies ein notwendiger und wichtiger Schritt.

Durch Vergleich von gemessenen und modellierten Dunkelströmen wurde dargestellt, dass Oberflächengeneration der dominante Mechanismus bei der Entstehung des Dunkelstroms ist. Dieser ist jedoch, verglichen zu Werten aus der Literatur, größer. Deshalb ist an dieser Stelle Verbesserungspotential vorhanden.

Der Walk-Out-Effekt im Zusammenhang mit dem Durchbruch der pin-Diode ist ein weiterer Untersuchungsgegenstand, der betrachtet werden muss. Dazu sollte die Generation von Grenzflächenladungen zusätzlich zur hier dargestellten Untersuchung mittels TCAD auch messtechnisch betrachtet werden. Dazu eignet sich zum Beispiel die GDL-Methode (*gated diode leakage*), mit der Änderungen von Grenzflächen-Generationszentren betrachtet werden können.

Weiterhin können Möglichkeiten untersucht werden, um die Grenzfläche zwischen Silizium und Siliziumdioxid bei der Dünnschicht-SOI-Technologie abzuschirmen, damit es nicht zum Walk-Out-Effekt kommt. Mögliche prozesstechnische Kandidaten, um das zu bewerkstelligen, sind die Silicon-On-Nothing-Technologie und die sogenannte  $\delta$ -Diode. Im ersten Fall wird die Grenzfläche zwischen Silizium und Siliziumdioxid entfernt und im zweiten Fall durch Silizium-Bor ersetzt. Bei einem positiven Resultat könnte ein stabiler Geiger-Modus bei pin-Dioden der SOI CMOS-Technologie erreicht werden.



# Anhang A

Für das entwickelte analytische Dunkelstrom-Modell aus Abschnitt 3.1.5 wird eine Vereinfachung der zweidimensionalen Poisson-Gleichung verwendet [51]. Diese Vereinfachung ist ein entscheidender Ansatz, um die Potentialverteilung sowie das elektrische Feld innerhalb einer SOI pin-Diode zu beschreiben und wird im Folgenden im Detail dargestellt.

Betrachtet wird eine Struktur wie in Abb. A.1 dargestellt. Darin sind sowohl die Geometrie als auch die Randbedingungen für das Potential  $v$  und das elektrische Feld  $\xi$  angegeben.

Ausgangspunkt der Betrachtung ist die zweidimensionale Poisson-Gleichung [51]

$$\frac{\partial^2 \Psi}{\partial x^2} + \frac{\partial^2 \Psi}{\partial y^2} = -\frac{qN_{HL}}{\epsilon_0 \epsilon_{HL}}. \quad (\text{A.1})$$

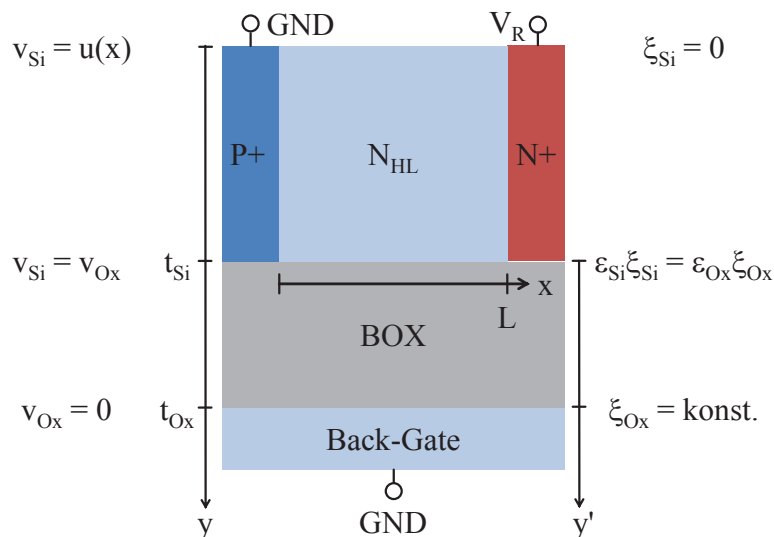


Abb. A.1: Querschnitt einer pin-Diode. Neben den geometrischen Angaben in y-Richtung sind auch die Randbedingungen für das Potential ( $v$ ) und das elektrische Feld ( $\xi$ ) bei  $y=0$ ,  $y=t_{Si}$  und  $y=t_{Ox}$  angegeben.

In dieser Gleichung ist das elektrostatische Potential  $\Psi = \Psi(x,y)$  eine Funktion von  $x$  und  $y$ . In Näherung werden die  $x$ - und  $y$ -Komponenten des elektrischen Felds und des Potentials separat betrachtet [51] [94], so dass das elektrostatische Potential folgendermaßen beschrieben werden kann

$$\Psi(x,y) = u(x)v(y). \quad (\text{A.2})$$

$u(x)$  und  $v(y)$  sind dabei nur von einer Variablen ( $x$  oder  $y$ ) abhängig und können deshalb separat betrachtet werden. Um das obige Problem (Gleichung (A.1)) zu vereinfachen, wird deshalb zunächst das Potential in  $y$ -Richtung betrachtet.  $v(y)$  kann ermittelt werden, indem eine Integration der eindimensionalen Poisson-Gleichung durchgeführt wird. Diese Gleichung lautet

$$-\frac{d^2v}{dy^2} = \frac{qN_X}{\varepsilon_0\varepsilon_X}. \quad (\text{A.3})$$

In dieser Gleichung ist  $N_X$  die Dotierung und  $\varepsilon_X$  die Dielektrizitätskonstante. Im intrinsischen Gebiet gilt  $N_X = N_{HL}$  und im BOX  $N_X = 0$ .

Bei der Integration gelten folgende Annahmen:

- die Dotierung des intrinsischen Gebiets  $N_{HL}$  ist homogen und vollständig ionisiert
- es gibt keine Oxid- und Grenzflächenladungen

Weiterhin gilt unter der Annahme, dass innerhalb der Raumladungszone keine freien Ladungsträger vorhanden sind [43]

$$-\frac{d^2v}{dy^2} = \frac{d\xi}{dy} = \frac{qN_X}{\varepsilon_0\varepsilon_X}. \quad (\text{A.4})$$

Einmalige Integration von Gleichung (A.3) ergibt also das elektrische Feld  $\xi$  und zweimalige Integration das elektrostatische Potential  $v$ .

Somit können das elektrostatische Potential und das elektrische Feld in vertikaler Richtung bestimmt werden. Die erste Integration ergibt für den Silizium-Film ( $0 \leq y \leq t_{Si}$ )

$$\xi_{Si} = \frac{qN_{HL}}{\varepsilon_0\varepsilon_{Si}} \cdot y + C_{1, Si} \quad (\text{A.5})$$

und für das BOX ( $0 \leq y' \leq t_{Ox}$ )

$$\xi_{Ox} = C_{1,Ox} \cdot \quad (A.6)$$

Durch Integration der elektrischen Felder in den entsprechenden Bereichen für  $y$  (Film) bzw.  $y'$  (BOX) ergibt sich das elektrostatische Potential im Silizium-Film

$$v_{Si} = \frac{1}{2} \frac{qN_{HL}}{\epsilon_0 \epsilon_{Si}} \cdot y^2 + C_{1,Si} \cdot y + C_{2,Si} \quad (A.7)$$

und im BOX

$$v_{Ox} = C_{1,Ox} \cdot y' + C_{2,Ox} \cdot \quad (A.8)$$

In den letzten vier Gleichungen sind  $C_{x,x}$  die Integrationskonstanten. Diese werden mit Hilfe der Randbedingungen aus Abb. A.1 ermittelt. In Gleichung (A.8) ist zu beachten, dass die Koordinatenachse für das BOX verschoben ist. Es gilt  $y=t_{Si}$  ist gleich zu  $y'=0$  (vgl. Abb. A.1).

Aus der Randbedingung  $\xi_{Si}(y=0)$  folgt unmittelbar  $C_{1,Si}=0$ . Die zweite Randbedingung für das elektrische Feld an der Grenzfläche zwischen Silizium-Film und BOX  $\epsilon_{Si}\xi_{Si}(y=t_{Si})=\epsilon_{Ox}\xi_{Ox}(y'=0)$  ergibt  $C_{1,Ox}=\epsilon_{Si}/\epsilon_{Ox} \cdot (qN_{HL}/\epsilon_{Si}) \cdot t_{Si}$ . An der Unterseite des BOX ist das Potential  $v_{Ox}(y'=t_{Ox})=0$ . Damit kann  $C_{2,Ox}$  bestimmt werden  $C_{2,Ox}=-\epsilon_{Si}/\epsilon_{Ox} \cdot (qN_{HL}/\epsilon_{Si}) \cdot t_{Si} \cdot t_{Ox}$ . Aus der Stetigkeitsbedingung für das Potential an der Grenzfläche zwischen Silizium-Film und BOX  $v_{Si}(y=t_{Si})=v_{Ox}(y'=0)$  folgt schließlich  $C_{2,Si}=(qN_{HL}/\epsilon_{Si}) \cdot (t_{Si}^2/2 + \epsilon_{Si}/\epsilon_{Ox} \cdot t_{Si} \cdot t_{Ox})$ . Die Integrationskonstanten sind nun bekannt und die Potentialverteilung im Silizium-Film  $v_{Si}$  kann damit nach Umstellung angegeben werden

$$v_{Si}(y) = \frac{qN_{HL}}{\epsilon_0 \epsilon_{Si}} \cdot \left( 1 - \frac{y^2}{2\lambda_M^2} \right). \quad (A.9)$$

In dieser Gleichung wird folgende Abkürzung verwendet

$$\lambda_M = \sqrt{t_{Si} \left( \frac{t_{Si}}{2} + \frac{\epsilon_{Si}}{\epsilon_{Ox}} t_{Ox} \right)}. \quad (A.10)$$

Damit ist die Abhängigkeit des Potentials  $v_{Si}$  von  $y$  innerhalb des Silizium-Films bekannt (Gleichung (A.9)). Eingesetzt in Gleichung (A.2) ergibt das

$$\Psi(x, y) = u(x) \left( 1 - \frac{y^2}{2\lambda_M^2} \right). \quad (\text{A.11})$$

Schließlich ergibt sich durch Einsetzen von Gleichung (A.11) in Gleichung (A.1) folgende Differentialgleichung, wobei das Elektrostatische Potential entlang des Silizium-Films ( $x$ -Richtung) am Ort  $y=0$  betrachtet wird

$$\frac{d^2 u(x)}{dx^2} - \frac{u(x)}{\lambda_M^2} = -\frac{qN_{HL}}{\varepsilon_0 \varepsilon_{HL}}. \quad (\text{A.12})$$

Mit dieser Gleichung wird dann, wie im Abschnitt 3.1.5 gezeigt, der Potentialverlauf an der Oberseite des Silizium-Films  $u(x)$ , unter Randbedingungen bestimmt.



# Abkürzungsverzeichnis

| Abkürzung | Bedeutung                                       |
|-----------|---|
| ASCII     | American Standard Code for Information Exchange |
| AV        | Avalanche (Lawinenmultiplikation)               |
| B2BT      | Band-zu-Band Tunneln                            |
| BEOL      | Back-End-Of-Line                                |
| BOX       | Buried Oxide                                    |
| BPSG      | Borphosphosilicate Glass                        |
| CCD       | Charge Coupled Device                           |
| CMOS      | Complementary Metal Oxide Semiconductor         |
| DCR       | Dark Count Rate                                 |
| DUT       | Device Under Test                               |
| FD        | Fully Depleted                                  |
| FEOL      | Front-End-Of-Line                               |
| FOX       | Feldoxid  |
| FWHM      | Full Width Half Maximum                         |
| GaN       | Galliumnitrid                                   |
| GPIO      | General Purpose Interface Bus                   |
| ICS       | Interactive Characterization Software           |
| IMD       | Inter Metal Dielectric                          |

---

|                                      |   |
|--------------------------------------|---|
| LOCOS                                | Local Oxidation of Silicon                        |
| MOSFET                               | Metal Oxide Semiconductor Field Effect Transistor |
| NEP                                  | Noise Equivalent Power                            |
| PD                                   | Partially Depleted                                |
| PDE                                  | Photon Detection Efficiency                       |
| PMT                                  | Photomultiplier Tube                              |
| PSG                                  | Phosphosilicate Glass                             |
| QE                                   | Quanteneffizienz                                  |
| RESURF                               | Reduced Surface Field                             |
| RLZ                                  | Raumladungszone                                   |
| Si                                   | Silizium  |
| SiN / Si <sub>3</sub> N <sub>4</sub> | Siliziumnitrid                                    |
| SiC                                  | Siliziumkarbid                                    |
| SiO <sub>2</sub>                     | Siliziumdioxid                                    |
| SNR                                  | Signal to Noise Ratio                             |
| SOI                                  | Silicon On Insulator                              |
| SPAD                                 | Single Photon Avalanche Diode                     |
| SRH / sSRH                           | Shockley-Read-Hall / Surface Shockley-Read-Hall   |
| TAT                                  | Trap Assisted Tunneling                           |
| TF                                   | Thin Film   |
| USG                                  | Undoped Silicon Glass                             |
| UV                                   | Ultraviolett                                      |

---

# Formelzeichen

## Lateinische Schriftzeichen

| Symbol       | Bedeutung   |
|--------------|---|
| $A_{SPAD}$   | Fläche der SPAD   |
| $b_{n,h}$    | Anpassungsparameter zur Modellierung der Ionisationskoeffizienten in Silizium |
| $BW$         | Bandbreite  |
| $c_0$        | Lichtgeschwindigkeit im Vakuum  |
| $C_1$        | Integrationskonstante bei der Lösung der Poisson-Gleichung im SOI-Film        |
| $C_2$        | Integrationskonstante bei der Lösung der Poisson-Gleichung im SOI-Film        |
| $c_{n,p}$    | Einfangrate von Traps   |
| $C_{Oxid}$   | Oxidkapazität   |
| $CR_{Mess}$  | Zahl der gemessenen Lawinenimpulse bei Bestrahlung                            |
| $D$          | Detektivität  |
| $DCR_{Mess}$ | gemessene Dunkelzählrate  |
| $D_{n,p}$    | Diffusionskoeffizient für Elektronen / Löcher                                 |
| $E$          | Elektrisches Feld   |
| $E_{AKT}$    | Aktivierungsenergie   |
| $E_F$        | Ferminiveau   |

---

|            |  |
|------------|--|
| $E_G$      | Energie der Bandlücke  |
| $E_i$      | intrinsisches Fermi-niveau   |
| $E_{Ph}$   | Photonenenergie  |
| $E_S$      | elektrisches Feld an der Oberfläche                                    |
| $E_T, E_t$ | Trapenergie  |
| $E_{tot}$  | gesamtes elektrisches Feld   |
| $E_{x,y}$  | elektrisches Feld in x- bzw. y-Richtung                                |
| $e_{n,p}$  | Emissionsrate von Traps  |
| $F$        | Parameter zur Berechnung des elektrischen Feld                         |
| $F_0$      | Materialkonstante des B2BT-Modells                                     |
| $F_{ARRH}$ | Parameter bei der Bestimmung der Aktivierungsenergie                   |
| $F_{max}$  | maximales elektrisches Feld in der Raumladungszone                     |
| $f$        | Parameter zur Modellierung der Temperaturabhängigkeit von Lebensdauern |
| $g$        | Verstärkung  |
| $g_C$      | Parameter zur Modellierung der Feldabhängigkeit von Lebensdauern       |
| $h$        | Planck'sches Wirkungsquantum   |
| $I$        | Intensität   |
| $I_0$      | Strahlungsintensität an der Oberfläche                                 |
| $I_{AV}$   | Lawinenstrom   |
| $I_B$      | Photostrom durch unerwünschte Hintergrundstrahlung                     |
| $I_D$      | Dunkelstrom  |

---

---

|            |   |
|------------|---|
| $I_{eq}$   | äquivalenter Strom                                      |
| $I_{G,A}$  | Generationsstrom an der Grenzfläche Si-SiO <sub>2</sub> |
| $I_{G,V}$  | Generationsstrom im Si-Volumen                          |
| $I_{Ph}$   | Photostrom  |
| $I_{SPAD}$ | Strom durch die SPAD                                    |
| $i_{ph}$   | kleinsignal Photostrom                                  |
| $i_S$      | Kleinsignal-Strom aufgrund von Schrotrauschen           |
| $i_T$      | Kleinsignal-Strom aufgrund von thermischem Rauschen     |
| $J$        | Stromdichte   |
| $J_0$      | Diffusionsstromdichte                                   |
| $J_{GEN}$  | Generationsstromdichte                                  |
| $k_B$      | Boltzmann-Konstante                                     |
| $L, L_i$   | Länge des intrinsischen Gebiets bei der pin-Diode       |
| $L_D$      | Debye-Länge   |
| $L_{n,p}$  | Diffusionslänge von Elektronen / Löchern                |
| $M_C$      | Anzahl äquivalenter Leitungsbandminima                  |
| $m$        | Modulationsindex  |
| $m_0$      | Ruhemasse eines Elektrons                               |
| $m_{de}$   | effektive Masse der Zustandsdichte von Elektronen       |
| $m_{dh}$   | effektive Masse der Zustandsdichte von Löchern          |
| $N_A$      | Akzeptordotierung                                       |
| $N_A^-$    | Dichte ionisierter Akzeptoren                           |

---

|               |   |
|---------------|---|
| $N_D$         | Donatordotierung  |
| $N_D^+$       | Dichte ionisierter Donatoren  |
| $N_{D,i}$     | Dotierung des intrinsischen Gebiets   |
| $N_{HL}$      | Dotierung des Halbleiters   |
| $N_i, n_i$    | intrinsische Ladungsträgerdichte  |
| $N_{REF}$     | Parameter zur Modellierung der Dotierungsabhängigkeit von Rekombinationsgeschwindigkeiten |
| $N_t$         | Trapdichte  |
| $n, n_t$      | Elektronendichte  |
| $n_p$         | Minoritäten im p-Halbleiter   |
| $n_{p0}$      | Minoritäten im p-Halbleiter im thermodynamischen Gleichgewicht                            |
| $n_1$         | Elektronendichte bei der Berechnung von $R_{net}^{SRH}$                                   |
| $P$           | Leistung  |
| $P_{e,h}$     | Wahrscheinlichkeit, dass ein Elektron / Loch eine Lawine auslöst                          |
| $P_{opt}$     | optische Leistung   |
| $P_{opt,min}$ | minimale optische Leistung für $SNR=1$  |
| $P_p$         | Lawinenwahrscheinlichkeit   |
| $P_t$         | Gesamtwahrscheinlichkeit für das Auslösen einer Lawine                                    |
| $PDE$         | Photon Detektionseffizienz  |
| $PZ$          | Photonenzahl  |
| $p, p_t$      | Löcherdichte  |

|                 |   |
|-----------------|---|
| $p_1$           | Löcherdichte bei der Berechnung von $R_{net}^{SRH}$                                       |
| $p_p$           | Majoritäten im p-Halbleiter   |
| $p_{p0}$        | Majoritäten im p-Halbleiter im thermodynamischen Gleichgewicht                            |
| $Q_{OF}$        | Ladung an der Si-SiO <sub>2</sub> Grenzfläche   |
| $Q_{Oxid}$      | Oxidladung  |
| $Q_s$           | Oberflächenladung   |
| $q$             | Elementarladung   |
| $R$             | Responsivität   |
| $R_{eq}$        | äquivalenter Widerstand   |
| $R_{net}^{SRH}$ | Netto Shockley-Read-Hall Rekombinationsrate   |
| $R_Q$           | Löschwiderstand   |
| $R_R$           | Reflexion   |
| $R_{REF}$       | Responsivität des Referenzdetektors   |
| $R_{trap}$      | Rekombinationsrate von Traps  |
| $S_{ARRH}$      | Steigung im Arrhenius-Diagramm  |
| $SNR$           | Signal-Rausch-Verhältnis  |
| $s_0$           | Parameter zur Modellierung der Dotierungsabhängigkeit von Rekombinationsgeschwindigkeiten |
| $s_{n,p}$       | Rekombinationsgeschwindigkeiten von Elektronen / Löchern                                  |
| $s_{ref}$       | Parameter zur Modellierung der Dotierungsabhängigkeit von Rekombinationsgeschwindigkeiten |

---

|             |   |
|-------------|---|
| $s_{REK}$   | Rekombinationsgeschwindigkeit   |
| $T$         | absolute Temperatur   |
| $T_0$       | Referenztemperatur  |
| $t$         | Zeit  |
| $t_{Aktiv}$ | aktive Zeit der SPAD  |
| $t_{RLZ}$   | Tiefe der Raumladungszone   |
| $t_S$       | Stress-Zeit   |
| $t_T$       | Transmission  |
| $t_1$       | Anpassungsparameter zur Modellierung der Änderung der Durchbruchspannung bei Stress |
| $t_2$       | Anpassungsparameter zur Modellierung der Änderung der Durchbruchspannung bei Stress |
| $U$         | Generationsrate in der Raumladungszone  |
| $u$         | elektrostatisches Potential an der Si-Film Oberseite                                |
| $V$         | Spannung  |
| $V_A$       | Anodenspannung  |
| $V_{BG}$    | Back-Gate-Spannung  |
| $V_{BR}$    | Durchbruchspannung  |
| $V_{DD}$    | Versorgungsspannung   |
| $V_{FB}$    | Flachbandspannung   |
| $V_R$       | Sperrspannung   |
| $V_{REF}$   | Referenzspannung des Dunkelstrom-Modells  |
| $V_{SPAD}$  | SPAD-Spannung   |

---



---

|              |   |
|--------------|---|
| $V_0$        | Anpassungsparameter zur Modellierung der Änderung der Durchbruchspannung bei Stress |
| $V_1$        | Anpassungsparameter zur Modellierung der Änderung der Durchbruchspannung bei Stress |
| $V_2$        | Anpassungsparameter zur Modellierung der Änderung der Durchbruchspannung bei Stress |
| $v_{AV,n,p}$ | Geschwindigkeit von Elektronen / Löchern  |
| $v_{th}$     | thermische Geschwindigkeit  |
| $w_{RLZ}$    | Weite der RLZ   |
| $w_{Tiefe}$  | Tiefe bei der Berechnung der <i>PDE</i> im Modell                                   |
| $z_P$        | Eindringtiefe von elektromagnetischer Strahlung                                     |

---

## Griechische Schriftzeichen

| Symbol                | Bedeutung   |
|-----------------------|---|
| $\alpha$              | Absorptionskoeffizient  |
| $\alpha_{EG}$         | Anpassungsparameter der Temperaturabhängigkeit der Bandlücke von Silizium                   |
| $\alpha_{e,h}$        | Ionisationskoeffizient von Elektronen / Löchern   |
| $\alpha_{\infty,n,h}$ | Anpassungsparameter für Ionisationskoeffizienten in Silizium von Elektronen / Löchern       |
| $\beta_{EG}$          | Anpassungsparameter der Temperaturabhängigkeit der Bandlücke von Silizium                   |
| $\gamma_{AV}$         | Anpassungsparameter für die Temperaturabhängigkeit der Ionisationskoeffizienten in Silizium |
| $\Delta V_y$          | Potentialdifferenz zwischen Filmoberseite und –unterseite                                   |
| $\varepsilon_{HL}$    | Dielektrizitätszahl vom Halbleiter  |
| $\varepsilon_0$       | Dielektrizitätskonstante  |
| $\eta$                | Quanteneffizienz  |
| $\eta_{int,ext}$      | interne / externe Quanteneffizienz  |
| $\lambda$             | Wellenlänge   |
| $\mu_{p,n}$           | Ladungsträgerbeweglichkeit  |
| $\nu$                 | Frequenz  |
| $\rho$                | Ladungsträgerdichte   |
| $\sigma_{B2BT}$       | numerische Konstante für das B2BT-Strom-Modell  |
| $\sigma_{n,p}$        | Einfangquerschnitt von Traps  |

|                     |  |
|---------------------|--|
| $\tau_G$            | Generationslebensdauer                                 |
| $\tau_{n,p}$        | Lebensdauer von Elektronen / Löchern                   |
| $\Phi_{MS}$         | Austrittsarbeitsdifferenz zwischen Gate und Halbleiter |
| $\Phi_S$            | Austrittsarbeit des Halbleiters                        |
| $\chi_{Si}$         | Elektronenaffinität von Silizium                       |
| $\psi$              | Elektrostatisches Potential                            |
| $\psi_{BP}$         | Ferminiveau relativ zum intrinsischen Niveau           |
| $\psi_P$            | Potential im Halbleiter                                |
| $\psi_S$            | Oberflächenpotential des Halbleiters                   |
| $\psi_{bi}$         | Built-In-Potential                                     |
| $\omega$            | Modulationsfrequenz                                    |
| $\hbar\omega_{opt}$ | optische Phononen-Energie                              |



## Literaturverzeichnis

- [1] G. Moore, „Cramming More Components Onto Integrated Circuits,“ *Proceedings of the IEEE*, Bd. 86, Nr. 1, pp. 82-85, 01 1998.
- [2] I. Markov, „Limits on fundamental limits to computation,“ *Nature*, Bd. 512, Nr. 7513, pp. 147-154, 08 2014.
- [3] W. Arden, M. Brillouet, P. Copez, M. Graef, B. Huizing, R. Mahnkopf, J. Pelka, J.-U. Pfeiffer, A. Rouzaud, M. Tartagni, C. Van Hoof und J. Wagner, „Towards a More-Than-Moore Roadmap,“ *Report from the CATRENE Scientific Committee*, pp. 1-131, 11 2011.
- [4] U. Paschen, „High Temperature CMOS in SOI for Harsh Environments,“ *Annual Report Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme*, pp. 14-15, 2004.
- [5] A. Rochas, „Single Photon Avalanche Diodes in CMOS Technology,“ *PhD Thesis, ÉCOLE POLYTECHNIQUE FÉDÉRALE DE LAUSANNE*, 2003.
- [6] L. Shi und S. Nihtianov, „Comparative Study of Silicon-Based Ultraviolet Photodetectors,“ *IEEE Sensors Journal*, Bd. 12, Nr. 7, pp. 2453-2459, 07 2012.
- [7] M. Razeghi und A. Rogalski, „Semiconductor ultraviolet detectors,“ *Journal*

- of Applied Physics*, Bd. 79, Nr. 10, pp. 7433-7473, 05 1996.
- [8] L. Sang, M. Liao und M. Sumiya, „A Comprehensive Review of Semiconductor Ultraviolet Photodetectors: From Thin Film to One-Dimensional Nanostructures,” *Sensors*, Bd. 13, Nr. 8, pp. 10482-10518, 08 2013.
- [9] d. M. Souza, O. Bulteel, D. Flandre und M. Pavanello, „Temperature and Silicon Film Thickness Influence on the Operation of Lateral SOI PIN Photodiodes for Detection of Short Wavelengths,” *Journal of Integrated Circuits and Systems*, pp. 107-113, 2011.
- [10] C. Novo, R. Giacomini, R. Doria, A. Afzalian und D. Flandre, „Illuminated to dark ratio improvement in lateral SOI PIN photodiodes at high temperatures,” *Semiconductor Science and Technology*, Bd. 29, Nr. 7, p. 075008, 2014.
- [11] M. A. Green, „Self-consistent optical parameters of intrinsic silicon at 300 K including temperature coefficients,” *Solar Energy Materials and Solar Cells*, pp. 1305-1310, November 2008.
- [12] A. Afzalian und D. Flandre, „Measurements, modelling and electrical simulations of lateral PIN photodiodes in thin film-SOI for high quantum efficiency and high selectivity in the UV range,” *33rd Conference on European Solid-State Device Research ESSDERC*, pp. 55-58, 2003.
- [13] O. Bulteel und D. Flandre, „Optimization of Blue/UV Sensors Using PIN Photodiodes in Thin-Film SOI Technology,” *ECS Transactions*, Bd. 19, Nr. 4, pp. 175-180.
- [14] C. Novo, J. Baptista, M. Silveira, R. Giacomini, A. Afzalian und D. Flandre, „Study of Total Quantum Efficiency of Lateral SOI PIN Photodiodes with Back-Gate Bias, Intrinsic Length and Temperature Variation,” *ECS Transactions*, Bd. 66, Nr. 5, pp. 101-107, 03 2015.
- [15] C. Novo, R. Giacomini, A. Afzalian und D. Flandre, „Operation of Lateral SOI PIN Photodiodes with Back-Gate Bias and Intrinsic Length Variation,” *ECS Transactions*, pp. 121-126, 3. Mai 2013.
- [16] A. Afzalian und D. Flandre, „Speed performances of thin-film lateral SOI PIN

- photodiodes up to tens of GHz," *IEEE International SOI Conference*, pp. 83-84, 2006.
- [17] A. Afzalian und F. D., „Design of Thin-Film Lateral SOI PIN Photodiodes with up to Tens of GHz Bandwidth," in *Advances in Photodiodes*, InTech, 2011, pp. 43-68.
- [18] A. Afzalian und D. Flandre, „Physical modeling and design of thin-film SOI lateral PIN photodiodes," *IEEE Transactions on Electron Devices*, Bd. 52, Nr. 6, pp. 1116-1122, Juni 2005.
- [19] O. Bulteel, A. Afzalian und D. Flandre, „Fully integrated blue/UV SOI CMOS photosensor for biomedical and environmental applications," *Analog Integrated Circuits and Signal Processing*, Bd. 65, Nr. 3, pp. 399-405, 12 2010.
- [20] O. Bulteel, N. Van Overstraeten-Schlogel, P. Dupuis und D. Flandre, „Complete microsystem using SOI photodiode for DNA concentration measurement," *IEEE Biomedical Circuits and Systems Conference (BioCAS)*, pp. 142-145, 2010.
- [21] H. Yamada, N. Miura, M. Okihara und K. Hinohara, „A UV sensor IC based on SOI technology for UV care application," *SICE Annual Conference*, pp. 317-320, 2008.
- [22] T. Yoshida, Y. Ohtomo und M. Shimaya, „A novel p-i-n photodetector fabricated on SIMOX for 1 GHz 2 V CMOS OEICs," *Technical Digest. International Electron Devices Meeting IEDM*, pp. 29-32, 12 1998.
- [23] D. Bronzi, F. Villa, S. Bellisai, S. Tisa, G. Ripamonti und A. Tosi, „Figures of merit for CMOS SPADs and arrays," *Proc. of SPIE*, Bd. 8773, pp. 877304-1 - 877304-7, 2013.
- [24] M. Karami, M. Gersbach, H.-J. Yoon und E. Charbon, „A new single-photon avalanche diode in 90nm standard CMOS technology," *Optics Express*, Bd. 18, Nr. 21, pp. 22158-22166, 10 2010.
- [25] C. Niclass, C. Favi, T. Kluter, M. Gersbach und E. Charbon, „A 128 128 Single-Photon Image Sensor With Column-Level 10-Bit Time-to-Digital Converter Array," *IEEE Journal of Solid-State Circuits*, Bd. 43, Nr. 12, pp. 2977-2989,

12 2008.

- [26] J. Richardson, L. Grant und R. Henderson, „Low Dark Count Single-Photon Avalanche Diode Structure Compatible With Standard Nanometer Scale CMOS Technology,” *IEEE Photonics Technology Letters*, Bd. 21, Nr. 14, pp. 1020-1022, 07 2009.
- [27] F. Villa, R. Lussana, D. Bronzi, S. Tisa, A. Tosi, F. Zappa, A. Dalla Mora, D. Contini, D. Durini, S. Weyers und W. Brockherde, „CMOS Imager With 1024 SPADs and TDCs for Single-Photon Timing and 3-D Time-of-Flight,” *IEEE Journal of Selected Topics in Quantum Electronics*, Bd. 20, Nr. 6, pp. 1-10, 11 2014.
- [28] L. K. Nanver, „Silicon Photodiodes for Low Penetration Depth Beams such as DUV/VUV/EUV Light and Low-Energy Electrons,” in *Advances in Photodiodes*, InTech, 2011, pp. 205-224.
- [29] L. Qi, K. Mok, M. Aminian, E. Charbon und L. Nanver, „Fabrication of low dark-count PureB single-photon avalanche diodes,” *29th Symposium on Microelectronics Technology and Devices (SBMicro)*, pp. 1-4, 09 2014.
- [30] L. Qi, K. Mok, M. Aminian, E. Charbon und L. Nanver, „UV-Sensitive Low Dark-Count PureB Single-Photon Avalanche Diode,” *IEEE Transactions on Electron Devices*, Bd. 61, Nr. 11, pp. 3768-3774, 11 2014.
- [31] M.-J. Lee, P. Sun und E. Charbon, „A first single-photon avalanche diode fabricated in standard SOI CMOS technology with a full characterization of the device,” *Optics Express*, Bd. 23, Nr. 10, pp. 13200-13209, 05 2015.
- [32] Y. Zou, D. Bronzi, F. Villa und S. Weyers, „Backside illuminated wafer-to-wafer bonding single photon avalanche diode array,” *10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, pp. 1-4, 07 2014.
- [33] M. Ghioni, G. Armellini, P. Maccagnani, I. Rech, M. Emsley und M. Unlu, „Resonant-Cavity-Enhanced Single-Photon Avalanche Diodes on Reflecting Silicon Substrates,” *IEEE Photonics Technology Letters*, Bd. 20, Nr. 6, pp. 413-415, 03 2008.
- [34] G. Shaw, A. Siegel, J. Model, A. Geboff, S. Soloviev, A. Vert, P. Sandvik, M.



- Itzler und J. Campbell, „Deep UV photon-counting detectors and applications,” *Proceedings of SPIE 7320, Advanced Photon Counting Techniques III*, pp. 73200J-1 - 73200J-15, 05 2009.
- [35] A. Vert, S. Soloviev und P. Sandvik, „SiC avalanche photodiodes and photomultipliers for ultraviolet and solar-blind light detection,” *Physica Status Solidi (A)*, Bd. 206, Nr. 10, pp. 2468-2477, 10 2009.
- [36] J. Hu, X. Xin, X. Li, J. Zhao, B. Van Mil, K.-K. Lew, R. Myers-Ward, C. Eddy und D. Gaskill, „4H-SiC Visible-Blind Single-Photon Avalanche Diode for Ultraviolet Detection at 280 and 350 nm,” *IEEE Transactions on Electron Devices*, Bd. 55, Nr. 8, pp. 1977-1983, 08 2008.
- [37] E. Cicek, Z. Vishaei, R. McClintock, C. Bayram und M. Razeghi, „Geiger-mode operation of ultraviolet avalanche photodiodes grown on sapphire and free-standing GaN substrates,” *Applied Physics Letters*, Bd. 96, Nr. 26, p. 261107, 2010.
- [38] S. Choi, H.-J. Kim, Y. Zhang, X. Bai, D. Yoo, J. Limb, J.-H. Ryou, S.-C. Shen, P. Yoder und R. Dupuis, „Geiger-Mode Operation of GaN Avalanche Photodiodes Grown on GaN Substrates,” *IEEE Photonics Technology Letters*, Bd. 21, Nr. 20, pp. 1526-1528, 10 2009.
- [39] J. Pau, R. McClintock, K. Minder, C. Bayram, P. Kung, M. Razeghi, E. Munoz und D. Silversmith, „Geiger-mode operation of back-illuminated GaN avalanche photodiodes,” *Applied Physics Letters*, Bd. 91, Nr. 4, pp. 041104-1-041104-3, 07 2007.
- [40] D. Flandre, J. Colinge, J. Chen, D. Ceuster, J. Eggermont, L. Ferreira, B. Gentninne, P. Jespers, A. Viviani, R. Gillon, J. Raskin, A. Van der Forst, D. Vanhoenacker und F. Silveira, „Fully-Depleted SOI CMOS Technology for Low-Voltage Low-Power Mixed Digital/Analog/Microwave Circuits,” *Analog Integrated Circuits and Signal Processing*, Bd. 21, Nr. 3, pp. 213-228, 1999.
- [41] J. Raskin, „SOI substrates for More than Moore roadmap,” *8th International Caribbean Conference on Devices, Circuits and Systems (ICCDACS)*, pp. 1-4, 2012.

- [42] F. Udrea, S. Ali, M. Brezeanu, V. Domitru, O. Buiu, I. Poenaru, M. Chowdhury, A. DeLuca und J. Gardner, „SOI sensing technologies for harsh environment,“ *International Semiconductor Conference (CAS)*, pp. 3-10, 2012.
- [43] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, Third Edition, John Wiley & Sons, Inc., 2007.
- [44] W. Walcher, *Praktikum der Physik*, 8. Auflage Hrsg., Wiesbaden: Teubner, 2004.
- [45] E. Monroy, F. Omnès und F. Calle, „Wide-bandgap semiconductor ultraviolet photodetectors,“ *Semiconductor Science and Technology*, 2003.
- [46] R. Werner, *Untersuchung einer CMOS-Technologie auf SIMOX-Substraten für Anwendungen in der Hochtemperaturelektronik*, Aachen: Shaker Verlag, 1996.
- [47] M. Emsley, O. Dosunmu und M. Unlu, „High-speed resonant-cavity-enhanced silicon photodetectors on reflecting silicon-on-insulator substrates,“ *IEEE Photonics Technology Letters*, pp. 519-521, April 2002.
- [48] J. Coling, *Silicon-On-Insulator Technology: Materials to VLSI*, 2nd Edition, Université catholique de Louvain, Belgium: Kluwer Academic Publishers, 1997.
- [49] A. W. Ludikhuize, „A review of RESURF technology,“ *Proceedings of the 12th International Symposium on Power Semiconductor Devices and ICs*, pp. 11-18, 2000.
- [50] S. Schwantes, T. Florian, M. Graf, F. Dietz und V. Dudek, „Analysis of the back gate effect on the breakdown behaviour of SOI LDMOS transistors,“ *Proceeding of the 34th European Solid-State Device Research conference ESSDERC*, pp. 253-256, 2004.
- [51] S. Merchant, „Analytical model for the electric field distribution in SOI RESURF and TMBS structures,“ *IEEE Transactions on Electron Devices*, Bd. 46, Nr. 6, pp. 1264-1267, Juni 1999.
- [52] D. Schroder, *Semiconductor Material and Device Characterization*, Tempe, AZ: John Wiley & Sons, Inc., Publication, 2006.

- 
- [53] I. Ioffe Physico-Technical, „<http://www.ioffe.ru/SVA/NSM/>,” 2016.
- [54] T. Rudenko, A. Rudenko, V. Kilchytska, S. Cristoloveanu, T. Ernst, J.-P. Colinge, V. Dessard und D. Flandre, „Determination of film and surface recombination in thin-film SOI devices using gated-diode technique,” *Solid-State Electronics*, Bd. 48, Nr. 3, pp. 389-399, März 2004.
- [55] T. Kuwayama, M. Ichimura und E. Arai, „Interface recombination velocity of silicon-on-insulator wafers measured by microwave reflectance photoconductivity decay method with electric field,” *Applied Physics Letters*, Bd. 83, Nr. 5, pp. 928-930, 04 August 2003.
- [56] C.-T. Sah, R. Noyce und W. Shockley, „Carrier Generation and Recombination in P-N Junctions and P-N Junction Characteristics,” *Proceedings of the IRE*, Bd. 45, Nr. 9, pp. 1228-1243, 09 1957.
- [57] B. Boksteen, S. Dhar, A. Ferrara, A. Heringa, R. Hueting, G. Koops, C. Salm und J. Schmitz, „On the degradation of field-plate assisted RESURF power devices,” *IEEE International Electron Devices Meeting (IEDM)*, pp. 13.4.1-13.4.4, 12 2012.
- [58] O. Palais und A. Arcari, „Contactless measurement of bulk lifetime and surface recombination velocity in silicon wafers,” *Journal of Applied Physics*, Bd. 93, Nr. 8, pp. 4686-4690, 15 April 2003.
- [59] R. van Overstraeten und H. de Man, „Measurement of the ionization rates in diffused silicon p-n junctions,” *Solid-State Electronics*, Bd. 13, Nr. 5, pp. 583-608, 05 1970.
- [60] K. Grella, Zuverlässigkeit von CMOS-Bauelementen auf SOI für den Betrieb bei 250 °C, Duisburg: Dissertation, Universität Duisburg-Essen, 2013.
- [61] Synopsys, Sentaurus Device User Guide, Version G-2012.06, 2012.
- [62] F. Hochschulz, CMOS-Back-End-of-Line-Prozesse für optische Bauelemente, Duisburg: Dissertation, Universität Duisburg-Essen, 2012.
- [63] S. Larouche und L. Martinu, „OpenFilters: open-source software for the design, optimization, and synthesis of optical filters,” *Applied Optics*, Bd. 47, Nr. 13, pp. C219-C230, 2008.
- [64] J. Janesick, Scientific Charge-Coupled Devices, SPIE - The International

- Society for Optical Engineering, 2001.
- [65] T. Ning, „Hot-electron emission from silicon into silicon dioxide,” *Solid-State Electronics*, Bd. 21, Nr. 2, pp. 273-282, 1978.
- [66] S. Santra, P. Guha, S. Ali, I. Haneef und F. Udrea, „SOI diode temperature sensor operated at ultra high temperatures - a critical analysis,” *IEEE Sensors*, pp. 78-81, 2008.
- [67] S. Ang, „High-temperature characteristics of epitaxial high-low junction  $n^+-n-p^+$  silicon diodes,” *Microelectronics Journal*, Bd. 26, Nr. 4, pp. 375-382, 1995.
- [68] A. Schmidt, S. Dreiner, H. Vogt und U. Paschen, „Beschleunigte Zuverlässigkeitsuntersuchung von Siliziumnitrid bei schmalbandiger UV-Bestrahlung / Accelerated Reliability Test of Silicon Nitride under UV Illumination,” *Proceedings of Mikrosystemtechnik Kongress*, pp. 753-756, 10 2015.
- [69] L. Martín-Moreno, E. Martínez, J. A. Vergés und F. Yndurain, „Electronic structure, defect states. and optical absorption of amorphous  $\text{Si}(1-x)\text{N}(x)$ ,” *Physical Review B*, pp. 9683-9682, Juni 1987.
- [70] P. Seitz und A. Theuwissen, Single-Photon Imaging, Landquardt / Delft: Springer Verlag Berlin Heidelberg, 2011.
- [71] G. Buller und S. Collins, „Single-photon generation and detection,” *Measurement Science and Technology*, Bd. 21, Nr. 1, p. 012002, 2010.
- [72] M. Eisaman, J. Fan, A. Migdall und S. Polyakov, „Invited Review Article: Single-photon sources and detectors,” *Review of Scientific Instruments*, p. 071101, 2011.
- [73] F. Panzeri, A. Gulinatti, I. Rech, M. Ghini und S. Cova, „Silicon SPAD with near-infrared enhanced spectral response,” *Proceedings of SPIE - Photon Counting Applications, Quantum Optics and Quantum Information Transfer and Processing III*, Bd. 8072, pp. 807206 1-7, 2011.
- [74] X. Bai, D. McIntosh, H. Liu und J. Campbell, „High-performance Ultra Violet 4H-SiC Avalanche Photodiode detectors,” *Digest of the IEEE/LEOS Summer Topical Meetings*, pp. 141-142, 07 2007.

- 
- [75] A. Schenk, „Rigorous theory and simplified model of the band-to-band tunneling in silicon,“ *Solid-State Electronics*, Bd. 36, Nr. 1, pp. 19-34, 1993.
- [76] G. Hurkx, D. Klaassen und M. Knuvers, „A new recombination model for device simulation including tunneling,“ *IEEE Transactions on Electron Devices*, Bd. 39, Nr. 2, pp. 331-338, 02 1992.
- [77] G. Hurkx, „On the modelling of tunnelling currents in reverse-biased p-n junctions,“ *Solid-State Electronics*, Bd. 32, Nr. 8, pp. 665-668, 08 1989.
- [78] G. Hurkx, H. de Graaff und M. Knuvers, „A new analytical diode model including tunneling and avalanche breakdown,“ *IEEE Transactions on Electron Devices*, Bd. 39, Nr. 9, pp. 2090-2098, 09 1992.
- [79] A. Acovic, G. La Rosa und Y.-C. Sun, „A review of hot-carrier degradation mechanisms in MOSFETs,“ *Microelectronics Reliability*, Bd. 36, Nr. 7-8, pp. 845-869, 07 1996.
- [80] A. Gallivanoni, I. Rech und M. Ghioni, „Progress in Quenching Circuits for Single Photon Avalanche Diodes,“ *IEEE Transactions on Nuclear Science*, Bd. 57, Nr. 6, pp. 3815-3826, 12 2010.
- [81] C. Bulucea, „Avalanche injection into the oxide in silicon gate-controlled devices—I theory,“ *Solid-State Electronics*, Bd. 18, Nr. 4, pp. 363-374, 04 1975.
- [82] B. Doyle, M. Bourcerie, J.-C. Marchetaux und A. Boudou, „Interface state creation and charge trapping in the medium-to-high gate voltage range ( $V_d/2 \geq V_g \geq V_d$ ) during hot-carrier stressing of n-MOS transistors,“ *IEEE Transactions on Electron Devices*, Bd. 37, Nr. 3, pp. 744-754, 03 1990.
- [83] F. Conti und M. Conti, „Surface breakdown in silicon planar diodes equipped with field plate,“ *Solid-State Electronics*, Bd. 15, Nr. 1, pp. 93-105, 01 1972.
- [84] J. Verwey, A. Heringa, R. de Werdt und W. v.d. Hofstad, „Drift of the breakdown voltage in p-n junctions in silicon (walk-out),“ *Solid-State Electronics*, Bd. 20, Nr. 8, pp. 689-695, 08 1977.
- [85] K. Saraswat und J. Meindl, „Breakdown walkout in planar p-n junctions,“ *Solid-State Electronics*, Bd. 21, Nr. 6, pp. 813-819, 06 1978.

- [86] W. Guo, R.-S. Huang, L. Zheng und Y. Song, „Walkout in p-n junctions including charge trapping saturation,” *IEEE Transactions on Electron Devices*, Bd. 34, Nr. 8, pp. 1788-1794, 08 1987.
- [87] D. Bronzi, S. Tisa, F. Villa, S. Bellisai, A. Tosi und F. Zappa, „Fast Sensing and Quenching of CMOS SPADs for Minimal Afterpulsing Effects,” *IEEE Photonics Technology Letters*, Bd. 25, Nr. 8, pp. 776-779, April 2013.
- [88] A. Schmidt, S. Dreiner, H. Vogt und U. Paschen, „Thin-Film SOI PIN-Diode Leakage Current Dependence on Back-Gate-Potential and HCI Traps,” *Proceeding of the 45th European Solid-State Device Research conference ESSDERC*, pp. 290-293, 09 2015.
- [89] K. Seghir, S. Cristoloveanu, R. Jerisian, J. Oualid und A.-J. Auberton-Herve, „Correlation of the leakage current and charge pumping in silicon on insulator gate-controlled diodes,” *IEEE Transactions on Electron Devices*, Bd. 40, Nr. 6, pp. 1104-1111, 06 1993.
- [90] E. Nicollian, A. Goetzberger und C. Berglund, „AVALANCHE INJECTION CURRENTS AND CHARGING PHENOMENA IN THERMAL SiO<sub>2</sub>,” *Applied Physics Letters*, Bd. 15, Nr. 6, pp. 174-177, 09 1969.
- [91] P.-H. Chang, C.-M. Tsai, J.-Y. Wu, S.-D. Lin und M.-C. Kuo, „Constant Excess Bias Control for Single-Photon Avalanche Diode Using Real-Time Breakdown Monitoring,” *IEEE Electron Device Letters*, Bd. 36, Nr. 8, pp. 859-861, 08 2015.
- [92] D. Dumin, J. Maddux, R. Scott und R. Subramoniam, „A model relating wearout to breakdown in thin oxides,” *IEEE Transactions on Electron Devices*, Bd. 41, Nr. 9, pp. 1570-1580, 09 1994.
- [93] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas und H. Maes, „A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides,” *International Electron Devices Meeting IEDM*, pp. 863-866, 12 1995.
- [94] R. Stengl und E. Falck, „Surface breakdown and stability of high-voltage planar junctions,” *IEEE Transactions on Electron Devices*, Bd. 38, Nr. 9, pp. 2181-2188, 09 1991.

- 
- [95] D. Bronzi, F. Villa, S. Bellisai, B. Markovic, S. Tisa, A. Tosi, F. Zappa, S. Weyers, D. Durini, W. Brockherde und U. Paschen, „Low-noise and large-area CMOS SPADs with timing response free from slow tails,” *Proceedings of the European Solid-State Device Research Conference (ESSDERC)*, pp. 230-233, 09 2012.
- [96] D. Bronzi, F. Villa, S. Bellisai, S. Tisa, A. Tosi, G. Ripamonti, F. Zappa, S. Weyers, D. Durini, W. Brockherd und U. Paschen, „Large-area CMOS SPADs with very low dark counting rate,” *Quantum Sensing and Nanophotonic Devices X, Proceedings of SPIE*, Bd. 8631, pp. 86311B-1-86311B-8, 2013.

# Danksagung

Diese Arbeit ist während meiner Tätigkeit beim Fraunhofer Institut für Mikroelektronische Schaltungen und Systeme in Duisburg in der Abteilung CMOS-Technologie und Bauelemente entstanden. An dieser Stelle möchte ich die Gelegenheit nutzen, mich bei allen zu bedanken, die zum erfolgreichen Gelingen dieser Arbeit beigetragen haben.

Zunächst möchte ich mich bei Prof. Dr.-Ing. Holger Vogt für die Betreuung und Begutachtung dieser Arbeit bedanken. Mein Dank gilt auch Prof. Dr.-Ing. Andreas Stöhr für die Übernahme des Zweitgutachtens dieser Arbeit.

Herzlichen Dank an Dr. Stefan Dreiner, der mich während der gesamten Arbeit begleitet hat und stets ein offenes Ohr und einen guten Rat für alle Fragestellungen hatte und als Diskussionspartner in den unzähligen Diskussionen unersetzlich war. Ebenso möchte ich Dr. Uwe Paschen herzlich danken für die Unterstützung und die motivierende und mitreisende Art Probleme zu lösen.

Euch beiden möchte ich besonders danken, dass Ihr mir auch in den schwierigen Phasen dieser Arbeit unterstützt habt und für das Korrekturlesen der Arbeit: Vielen Dank!

Ich danke allen Kollegen des Instituts, die mir auf unterschiedlichste Weise bei der Anfertigung dieser Arbeit geholfen haben. Eure kritischen Diskussionen, aufbauenden Worte und Ablenkung durch die zahlreichen Freizeitveranstaltungen haben mir sehr geholfen diese Arbeit erfolgreich abzuschließen. Ich danke insbesondere Dr. Sascha Weyers, Dr. Stefan Mross, Dr. Andreas Kelberer, Stefan Gläser, Raimund Hirmer, Dr. Claudia Busch, Dr. Jürgen Voß und vielen anderen, die ich hier nicht alle aufzählen kann.

Weiterhin gilt mein Dank Dr. Hartwig Junge, der beim Coaching dazu beigetragen hat die Anfertigung dieser Arbeit in die richtige Bahn zu lenken. Danke auch an die Doktoranden der anderen Abteilungen für die kritischen Diskussionen während des Coachings.

Zuletzt möchte ich meiner Familie von ganzem Herzen meinen Dank aussprechen, weil sie mir immer beigestanden hat.